

訂正版

(19) 世界知的所有権機関
国際事務局(43) 国際公開日
2004年12月16日 (16.12.2004)

PCT

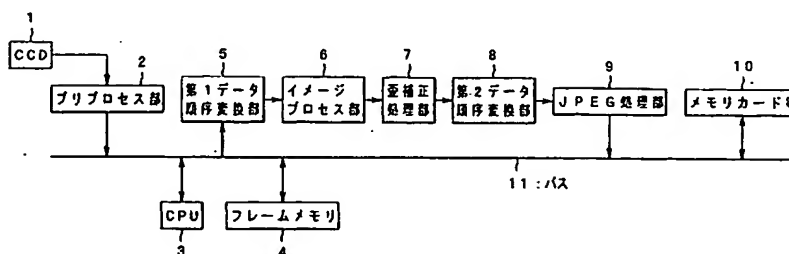
(10) 国際公開番号
WO 2004/109597 A1

- (51) 国際特許分類: G06T 1/20, 3/00, H04N 1/393, 5/10
- (21) 国際出願番号: PCT/JP2004/007855
- (22) 国際出願日: 2004年5月31日 (31.05.2004)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願2003-157044 2003年6月2日 (02.06.2003) JP
特願2003-177290 2003年6月20日 (20.06.2003) JP
特願2003-177291 2003年6月20日 (20.06.2003) JP
- (71) 出願人 (米国を除く全ての指定国について): オリンパス株式会社 (OLYMPUS CORPORATION) [JP/JP]; 〒151-0072 東京都渋谷区幡ヶ谷二丁目4番2号 Tokyo (JP).
- (72) 発明者; および
(75) 発明者/出願人 (米国についてのみ): 古川 英明 (FURUKAWA, Hideaki) [JP/JP]; 〒151-0072 東京都渋谷区幡ヶ谷二丁目4番2号 オリンパス株式会社内 Tokyo (JP). 日暮 正樹 (HIGURASHI, Masaki) [JP/JP]. 上野 晃 (UENO, Akira) [JP/JP].
- (74) 代理人: 伊藤 進 (ITO, Susumu); 〒160-0023 東京都新宿区西新宿七丁目4番4号 武蔵ビル Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

/続葉有/

(54) Title: IMAGE PROCESSING DEVICE

(54) 発明の名称: 画像処理装置



2...PRE-PROCESSING SECTION
5...FIRST DATA SEQUENCE CONVERSION SECTION
4...FRAME MEMORY
6...IMAGE PROCESSING SECTION

7...DISTORTION CORRECTION PROCESSING SECTION
8...SECOND DATA SEQUENCE CONVERSION SECTION
9...JPEG PROCESSING SECTION
10...MEMORY CARD, ETC.
11...BUS

(57) Abstract: An image processing device applied to a digital camera including: a frame memory (4) for inputting via a bus (11) and storing image data obtained by imaging an optical image of an optical system by a CCD (1); a first data sequence conversion section (5) for reading out the image data from the frame memory (4) in block unit in the row direction and converting it into the column direction for output; an image processing section (6) connected to the first data sequence conversion section (5) in such a manner that pipeline processing can be performed and performing image processing; a distortion correction processing section (7) connected to the image processing section (6) in such a manner that pipeline processing can be performed and performing distortion correction processing; and a second data sequence conversion section (8) connected to the distortion correction processing section (7) in such a manner that pipeline processing can be performed and returning the block data of the column direction into the block data of the row direction for output to the frame memory (4).

/続葉有/

WO 2004/109597 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告書

(48) この訂正版の公開日:

2005 年 3 月 17 日

(15) 訂正情報:

PCTガゼット セクションIIの No.11/2005 (2005 年 3 月 17 日)を参照

2 文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

(57) 要約:

光学系による光像をCCD (1) で撮像して得られる画像データをバス (11) を介して入力し記憶するフレームメモリ (4) と、このフレームメモリ (4) から画像データをブロック単位で行方向に読み出して入力し列方向に変換して出力する第1データ順序変換部 (5) と、この第1データ順序変換部 (5) とパイプライン処理可能に接続され画像処理を行うイメージプロセス部 (6) と、このイメージプロセス部 (6) とパイプライン処理可能に接続され歪補正処理を行う歪補正処理部 (7) と、この歪補正処理部 (7) とパイプライン処理可能に接続され列方向のブロックデータを行方向のブロックデータに戻してフレームメモリ (4) へ出力する第2データ順序変換部 (8) と、を備えたデジタルカメラに適用された画像処理装置。

明 細 書

IA16 Rec'd PCT/PTO 01 DEC 2005

画像処理装置

技術分野

この発明は、画像処理装置、より詳しくは、光学系を介して撮像された電子的な画像データを処理する画像処理装置に関する。

背景技術

デジタルカメラ等の電子的撮像装置においては、光学系により結像された被写体像を、CCD等の撮像素子により光電変換して撮像データを取得し、この撮像データに種々の画像処理を施した後に、JPEG等の圧縮方式で圧縮してメモ리카ード等の記録媒体に記録するのが一般的であり、該デジタルカメラ等の電子的撮像装置は、画像処理装置を兼ねたものとなっている。

図32は画像処理装置における一般的な画像処理の手順を示す図である。

CCD等の撮像素子は、光学系により結像された光学的な被写体像を光電変換して電氣的な撮像信号を生成する。この撮像信号は、画素欠陥の補正やA/D変換などのプリプロセス処理が行われた後に、フレームメモリに記憶される。

次に、フレームメモリに記憶された画像データが、読み出されて、第1のイメージプロセス、第2のイメージプロセス、…、第Nのイメージプロセス等により、単板信号から3板信号への変換処理や、ローパスフィルタ処理、エッジ強調処理、拡大縮小処理などの各種の画像処理が行われる。

画像処理後の画像信号は、さらにJPEGなどの圧縮方式により圧縮されて、画像ファイルとしてメモ리카ードへ記録される。

図33は、上記図32に示したような一般的な画像処理を行うための従来の画像処理装置の構成を示すブロック図である。

この画像処理装置は、CCD91と、プリプロセス部92と、フレームメモリ94と、第1イメージプロセス部95a、第2イメージプロセス部95b、…、第Nイメージプロセス部95nと、JPEG処理部96と、メモ리카ード等97と、上記CCD91を除く上記各回路と後述するCPU93とが接続されているバス98と、上述した各回路を含む

この画像処理装置を統括的に制御するCPU 93と、を有して構成されている。

この図33に示したような構成の画像処理装置により、上記図32に示したような処理を行う場合には、具体的には次のような手順になる。

まず、プリプロセス部92からの画像データをバス98を介してフレームメモリ94に一旦記憶させる。

次に、該フレームメモリ94から画像データを読み出して、バス98を介して第1イメージプロセス部95aに入力し、第1の画像処理を行って、処理後の画像データをフレームメモリ94上に書き込む。

同様に、該フレームメモリ94から第1の画像処理後の画像データを読み出して、バス98を介して第2イメージプロセス部95bに入力し、第2の画像処理を行って、処理後の画像データをフレームメモリ94上に書き込む、という処理を行い、同様の処理を各イメージプロセス部毎に繰り返して行う。

このように、画像処理を行う際には、画像データが何度もバス98を流れることになるが、画像データは一般的にデータサイズが大きいために、バス98には大きな負荷がかかることになる。このようなバス98に対する大きな負荷は、連写機能を使用しているときなどに、より顕著である。

こうした観点から、複数のイメージプロセス部をパイプライン処理可能なように接続して、フレームメモリからの画像をパイプライン処理することにより、バスの負荷を減らすようにした技術が、例えば特開2000-311241号公報に記載されていて、バスの負荷を減らしながら、メモリ容量を増やすことなく拡大縮小処理を含む画像処理をリアルタイムで行うことができるようになっている。

さらに、特開2000-312327号公報には、フレームメモリに記憶されている画像をブロック単位で所定方向(列方向)に読み出すことで、パイプライン処理を行う際のバッファ量を減らす技術も記載されていて、低消費電力、省メモリの画像処理装置を構成することができるようになっている。

ところで、デジタルカメラや銀塩カメラを含むカメラの光学系においては、大小の差こそあれ、歪曲収差を生じるのが一般的である。この歪曲収差は、例えば、格子状の被写体を撮影すると、樽型、糸巻き型などとして観測される(本発明の実施形態に係る図3(A)、図3(B)、図3(C)参照)。また、現在発売されているカメラは、光学ズームを行い得る機種が多いが、こうしたズーム可能な光学系は、ワイド端からテレ端にかけての

ズームレンジ内で焦点距離を変更すると、歪曲収差の状態が変化することが多い。

このような現象に対し、画像処理の一部として歪補正を行う技術が、従来より開発されており、その一例として、例えば特開平6-181530号公報に記載されたものが挙げられる。該公報に記載されたような通常の画像処理では、フレームメモリから例えばライン単位でデータを読み出すようになっている。

また、画像処理の一部として歪補正を行う他の技術として、例えば特開平10-224695号公報には、各イメージプロセス部がフレームメモリにランダムにアクセスするようにした技術が記載されている。この技術によれば、イメージプロセス部にバッファを設ける必要がなくなるために、該イメージプロセス部の回路規模を小さくすることができる利点がある。

さらに、上記カメラの光学系においては、色収差が発生することが知られている。この色収差は、光学系に光が入射するときに、光の波長によって屈折率が異なることに起因して発生するものであり、光学系により光学像を結像する際に、波長毎に結像される光学像が微妙にずれる現象となって現れる。光学系は、この色収差ができるだけ小さくなるように設計されるが、配置スペースや重量、コストなどの観点から、色収差を全てなくすことは困難となっている。

上記特開平6-181530号公報に記載されたものでは、画像処理としての歪補正を、補正後の画像の1ライン分について行うためには、図34に示すような、補正前の画像データを、歪補正に必要な複数ライン分だけ、画像全体の横方向の幅に渡って読み出す必要がある。この図34は、従来において歪補正処理を行うために必要なメモリ量を説明するための図である。これら複数ライン分の画像データは、イメージプロセス部の内部に設けられたバッファに一旦蓄積されてから処理されるために、1ライン分の補正画像を得るには、バッファとして比較的大きな容量が必要になり、回路規模が大きくなって製造コストが増すとともに消費電力も増加してしまう。さらに、イメージプロセス部内のバッファメモリ容量によって、処理可能な画像サイズが制限されてしまうことになる。

また、上記特開平10-224695号公報に記載されたものでは、SDRAM等で構成されたフレームメモリにランダムにアクセスしようとする、SDRAMから高速に読み出せるバースト転送に比べて、データの転送時間が全体の処理時間を増大させる要因となる。

ところで、画像処理装置に、上述したような歪補正処理を行うための処理ブロックと、

拡大縮小処理を行うための処理ブロックと、の両方を設けることにより、拡大縮小処理と歪補正処理との両方を行うことが可能となる。しかし、これらの処理は画素毎の補間演算を伴うものであって、処理回路も大規模になるために、単純に両方の処理回路を設ける構成では、回路構成が大きくなって消費電力が上がるとともに製造コストも増すことになってしまう。

そして、上述したような色収差についても、コスト等をあまり増加させることなく、良好に補正することができることが望ましい。

本発明は上記事情に鑑みてなされたものであり、バスのデータ転送量やメモリ容量を増大させることなく、画像処理を行うことができる画像処理装置を提供することを目的としている。

また、本発明は、拡大縮小処理と歪補正処理とを行い得る回路規模が小さく低消費電力な画像処理装置を提供することを目的としている。

さらに、本発明は、歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置を提供することを目的としている。

発明の開示

この発明は、光学系を介して撮像することにより得られた電子的な画像データであって、画素データが行方向および列方向に２次元的に配列された画像データ、を処理する画像処理装置において、上記画像データを少なくとも画像処理を行う前に格納するとともに画像処理を行った後にも格納し得るメモリと、上記画像データの上記２次元的な配列におけるブロックを単位として上記メモリからバスを介して該ブロック内の画素データを行方向に読み出しその後に該ブロック内の画素データを列方向に出力する第１のデータ順序変換部と、上記第１のデータ順序変換部と上記バスとは異なる情報伝達経路でパイプライン処理可能なように接続されていて該第１のデータ順序変換部から列方向に出力される画像データを入力して画像処理した後に該列方向に出力する画像処理部と、上記画像処理部とパイプライン処理可能なように接続されていて該画像処理部から列方向に出力される画像データを行方向の画像データに変換して出力する第２のデータ順序変換部と、を備えた画像処理装置である。

また、この発明は、光学系を介して撮像することにより得られた電子的な画像データに、歪補正処理および拡大縮小処理を含む画像処理を行い得る画像処理装置であって、歪補

正処理と拡大縮小処理とを含み得る画像処理に係る補間処理を行った後の画素位置に対応する補間処理前の座標データである補間座標データを生成するための補間座標生成部と、上記画像データの少なくとも一部を格納するためのメモリ部と、上記補間座標データに基づいて上記画像データの一部を上記メモリ部に書き込む制御と該メモリ部から読み出す制御とを行うメモリ制御部と、上記メモリ制御部の制御により上記メモリ部から読み出された画像データを補間演算することにより補間処理を行った後の画素位置における画像データを生成する補間演算部と、を有して構成される歪補正処理部を備えた画像処理装置である。

さらに、この発明は、光学系を介して撮像することにより得られた電子的な画像データであって、複数の成分で構成される画像データ、を処理する画像処理装置において、上記光学系に起因する歪曲収差を補正するのに用いるための歪補正係数を歪中心位置からの距離に基づき上記成分毎に算出する歪補正係数算出手段と、上記歪補正係数算出手段により算出された成分毎の歪補正係数を用いて上記画像データを成分毎に歪補正する歪補正演算手段と、を有して構成される歪補正処理手段を備えた画像処理装置である。

図面の簡単な説明

図1は、本発明の第1の実施形態における画像処理装置の構成を示すブロック図。

図2は、上記第1の実施形態における歪補正処理部の構成を示すブロック図。

図3は、上記第1の実施形態において、格子状の被写体を光学系を介して撮影したときの歪曲収差の例を示す図。

図4は、上記第1の実施形態において、歪補正を含む補間処理の概要を説明するための図。

図5は、上記第1の実施形態において、16点補間による処理を説明するための図。

図6は、上記第1の実施形態における画像データの読出順序を示す図。

図7は、上記第1の実施形態におけるデータ順序変換部の構成を示すブロック図。

図8は、上記第1の実施形態において、補正画像と撮影画像との対応関係と、処理に必要なバッファ量と、を示す図。

図9は、上記第1の実施形態において、歪中心からの距離に応じて読み出す画像データの幅を縦方向に異ならせる例を示す図。

図10は、上記第1の実施形態において、歪中心からの距離に応じて読み出す画像デー

タのサイズおよび読出開始位置を異ならせる例を示す図。

図11は、上記第1の実施形態における画像処理装置の構成の第1変形例を示すブロック図。

図12は、上記第1の実施形態における画像処理装置の構成の第2変形例を示すブロック図。

図13は、上記第1の実施形態における画像処理装置の構成の第3変形例を示すブロック図。

図14は、上記第1の実施形態における画像処理装置の構成の第4変形例を示すブロック図。

図15は、本発明の第2の実施形態における画像処理装置の構成を示すブロック図。

図16は、上記第2の実施形態における歪補正処理部のより詳細な構成を示すブロック図。

図17は、上記第2の実施形態における歪補正係数算出回路の構成の一例を示すブロック図。

図18は、上記第2の実施形態における歪補正係数算出回路の構成の他の例を示すブロック図。

図19は、上記第2の実施形態において、クロック毎に補間位置を生成するときの様子を示すタイミングチャート。

図20は、上記第2の実施形態において、3クロックに1回の割合で補間位置を生成するときの様子を示すタイミングチャート。

図21は、上記第3の実施形態における歪補正処理部の構成の概要を示すブロック図。

図22は、上記第3の実施形態において、光学系により画像を撮影したときに発生する色収差の一例を示す図。

図23は、上記第3の実施形態において、Bに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図。

図24は、上記第3の実施形態において、R、G、Bのそれぞれに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図。

図25は、上記第3の実施形態における歪補正処理部のより詳細な構成を示すブロック図。

図26は、上記第3の実施形態における歪補正係数算出回路の構成を示すブロック図。

図27は、上記第3の実施形態における距離依存係数算出回路の構成を示すブロック図。

図28は、上記第3の実施形態における歪補正係数算出回路の構成の他の例を示すブロック図。

図29は、上記第3の実施形態におけるCh. 0用歪補正回路の構成を示すブロック図。

図30は、上記第3の実施形態におけるグラント同期回路の構成を示すブロック図。

図31は、上記第3の実施形態におけるグラント同期回路の動作を説明するためのタイミングチャート。

図32は、画像処理装置における一般的な画像処理の手順を示す図。

図33は、上記図32に示したような一般的な画像処理を行うための従来の画像処理装置の構成を示すブロック図。

図34は、従来において歪補正処理を行うために必要なメモリ量を説明するための図。

発明を実施するための最良の形態

以下、図面を参照して本発明の実施の形態を説明する。

図1から図14は本発明の第1の実施形態を示したものであり、図1は画像処理装置の構成を示すブロック図である。

この画像処理装置は、光学系により結像された光学的な被写体像を光電変換して電気的な撮像信号を生成する撮像素子たるCCD1と、このCCD1から出力される撮像信号に画素欠陥の補正やA/D変換などのプリプロセス処理を行うプリプロセス部2と、このプリプロセス部2により処理された後のフレーム画像を記憶するフレームメモリ4と、このフレームメモリ4に記憶された画像データを後述するバス11を介して所定ブロック毎に読み出し一旦記憶してその後に読み出し順序を変更し出力する第1データ順序変換部5と、この第1データ順序変換部5から出力される画像データに所定の画像処理を施す画像処理部たるイメージプロセス部6と、このイメージプロセス部6による処理後の画像データに歪み補正の処理を行う画像処理部たる歪補正処理部7と、この歪補正処理部7から出力されるブロック毎の画像データを一旦記憶して、上記第1データ順序変換部5によりフレームメモリ4から読み出したときと同じ方向に読み出して出力する第2データ順序変換部8と、この第2データ順序変換部8から出力される画像データをJPEG等の圧縮方式に

より圧縮するJPEG処理部9と、このJPEG処理部9により圧縮された画像データを後述するバス11を介して一旦フレームメモリ4に書き込み、この書き込まれた画像データをバス11を介して読み出して入力し画像ファイルとして記憶する不揮発性の記憶手段たるメモリカード等10と、上記CCD1を除く上記各回路と後述するCPU3とが接続されているバス11と、上述した各回路を含むこの画像処理装置を統括的に制御する制御手段たるCPU3と、を有して構成されている。

ここに、上記第1データ順序変換部5からJPEG処理部9までは、バス11を介することなく、該バス11とは異なる情報伝達経路でパイプライン処理可能なように接続されていて、画像データを、2次元的な画素配列における所定のブロック単位で転送して処理するようになっている。これにより、データ量の大きい画像データが、各プロセス毎にバス11を何度も転送されることがなくなるために、バス11の負荷を大幅に軽減することが可能であるとともに、処理をブロック単位で行うことにより画像処理部の内部バッファ部の容量を小さくすることが可能となっている。

また、この図1に示す例においては、画像処理を行うイメージプロセス部6を1つのみ設けているが、複数の画像処理に対応した複数のイメージプロセス部を、上記パイプライン処理の経路上に配置するようにしても構わないことは勿論である。ここに画像処理の例としては、上述と同様に、単板信号から3板信号への変換処理や、ローパスフィルタ処理、エッジ強調処理、拡大縮小処理などが挙げられる。このときのイメージプロセス部6の配置は、上記歪補正処理部7よりも前段側であっても構わないし、後段側であっても構わない。

次に、図2は、上記歪補正処理部7の構成を示すブロック図である。

この歪補正処理部7は、前段の処理ブロックから画像データを所定ブロック単位で受け取って、歪補正を行った後に、後段の処理ブロックへ出力するものであり、上記図1に示したような構成例においては、前段の処理ブロックがイメージプロセス部6に対応し、後段の処理ブロックが第2データ順序変換部8に対応している。

この歪補正処理部7には、制御レジスタ7aが付随して設けられており、CPU3からの該歪補正処理部7に対する設定値や各種データなどが設定され、同時に処理結果のステータスなどを該CPU3から読むことができるようになっている。

該歪補正処理部7の処理の概要は、図4や図5にも示すように、おおよそ、次のようになっている。図4は歪補正を含む補間処理の概要を説明するための図、図5は16点補間

による処理を説明するための図である。

まず、図4 (B) に示すような歪補正処理後の画像の座標系 (X , Y) を予め準備しておく。この座標系 (X , Y) における画像データは、歪補正処理を開始する前は、当然にしてまだ何も求められていない。

該座標系 (X , Y) における着目点 (注目画素) (これは、歪補正処理後の画像における各画素の座標に対応しており、同様に、(X , Y) と表す。) を設定して、該着目点 (X , Y) に対応する画像データの座標 (補間座標データ) (X' , Y') を座標変換により求める (図4 (A) 参照)。この (X , Y) と (X' , Y') との対応関係は、上記C CD 1へ被写体像を結像するための光学系の光学的性質により決まるものであり、該対応関係を定義付けるパラメータ等は、光学系の設計値から、あるいは製造後の光学系の検査から、予め求められて、図示しない不揮発性メモリ等に記憶されている。そして、上記CPU 3が、この不揮発性メモリ等からパラメータを読み出して、上記制御レジスタ7aに設定するようになっている。

こうして対応関係により座標 (X' , Y') を求めると、該座標 (X' , Y') における画像データを求めるために必要な周辺の画像データの座標が決定される。例えば、Cubic補間処理を行う場合には、図5に示すように、該座標 (X' , Y') (図5における画像データがDout となっている点) に対して周辺の16点の座標が決定される。

従って、これら16点の座標における画像データD0~D15から、白丸で示されている座標 (X' , Y') の点の画像データDout を所定の補間式を用いて求めることにより、それが歪補正処理後の画像の着目点 (X , Y) における画像データとなる。

上記着目点 (X , Y) を移動させながら、必要な範囲の全ての画像データを算出することにより、歪補正後の画像データが生成される。

このような処理を行うための歪補正処理部7は、図2に示すように、着目点の座標 (X , Y) を生成するための補間位置生成部21と、この補間位置生成部21により生成された着目点の座標 (X , Y) から歪補正処理前の画像データの座標 (X' , Y') を算出するための歪補正座標変換部22と、歪補正処理を行わない場合には上記補間位置生成部21から出力される座標 (X , Y) を選択し歪補正処理を行う場合には上記歪補正座標変換部22から出力される座標 (X' , Y') を選択するセレクタ23と、前段の処理ブロックからの画像データの読み出しを制御するとともに上記セレクタ23から出力される座標に対応して補間処理を行うのに必要な周辺画素の画像データを送出するように後述する内

部メモリ部25を制御するメモリ制御部24と、前段の処理ブロックからの画像データを蓄積するものであり上記メモリ制御部24の制御により補間に必要な周辺画素の画像データを後述する補間演算部26へ出力する内部メモリ部25と、この内部メモリ部25から出力される着目点近傍の画像データと上記セクタ23から出力される着目点の座標とに基づき該着目点における画像データを上述したように例えばCubic補間により求めて後段の処理ブロックへ出力する補間演算部26と、を有して構成されている。

これらの構成ブロックの内の上記補間位置生成部21と、歪補正座標変換部22と、セクタ23とは、補間座標生成部20を構成する要素となっている。

上記補間位置生成部21は、上記CPU3から上記制御レジスタ7aに設定される補間開始位置(XST, YST)および補間ステップ(ΔX , ΔY)を用いて、次の数式1に示すように、補間を行う着目点(X, Y)の座標を算出するものである。

【数式1】

$$\begin{cases} X = X_{ST} + k \times \Delta X \\ Y = Y_{ST} + l \times \Delta Y \end{cases}$$

ここに、kは着目点をX方向に ΔX だけ移動させる際にインクリメントされる変数、lは着目点をY方向に ΔY だけ移動させる際にインクリメントされる変数である。

なお、上記補間開始位置(XST, YST)は、画像内の任意の位置に設定することが可能である。また、上記補間ステップ(ΔX , ΔY)は、上記CPU3が適宜に設定することにより、画像の拡大や縮小を行うことが可能である。

上記歪補正座標変換部22は、上記補間位置生成部21から出力される歪補正処理後の着目点の座標(X, Y)から、歪補正処理前の着目点の座標(X', Y')を次のように算出するものである。

すなわち、まず、処理対象の画像における歪中心位置の座標(Xd, Yd)と、歪補正処理後に該歪補正に起因して被写体の位置が撮影時とずれてしまうのを補正するための中心ずれ補正量(Xoff, Yoff)と、光学系の光学的な性質を示すパラメータを用いて歪補正処理を行った場合に補正後の画像が画像データとして必要な範囲からはみ出したり不足したりするのを補正するための範囲補正倍率Mと、を用いて、次の数式2に示すような中間的な算出値(X(ドット), Y(ドット)) (ここに、文字の上に付す点を文章中では(ドット)などとして表している。)を求める。

【数式2】

$$\begin{cases} \dot{X} = M \cdot (X - X_d) + (X_d + X_{off}) \\ \dot{Y} = M \cdot (Y - Y_d) + (Y_d + Y_{off}) \end{cases}$$

なお、上記歪中心位置の座標 (X_d , Y_d) は、上記CCD1に被写体光像を結像する光学系の光軸が交わる画像上の位置に相当する座標である。

また、上記歪中心位置の座標 (X_d , Y_d)、中心ずれ補正量 (X_{off} , Y_{off})、範囲補正倍率Mは、上記CPU3により、上記制御レジスタ7aに設定されるようになっている。

次に、求めた算出値 (X (ドット) , Y (ドット)) と、上記歪中心位置の座標 (X_d , Y_d) と、画像データを間引いて取り込んだ場合などに画像の縦方向と横方向とで空間的なサンプリングが異なるのを補正するための係数 (S_X , S_Y) と、を用いて、歪中心からの距離を示すZ (より正確にはZの2乗) を次の数式3に示すように計算する。

【数式3】

$$Z^2 = \left\{ S_X \cdot (\dot{X} - X_d) \right\}^2 + \left\{ S_Y \cdot (\dot{Y} - Y_d) \right\}^2$$

こうして算出されたZと、上記CPU3から上記制御レジスタ7aに設定される光学系の歪曲収差に関する光学的性質を示すパラメータである歪補正係数A, B, C, D, Eと、上記算出値 (X (ドット) , Y (ドット)) と、上記歪中心位置の座標 (X_d , Y_d) と、を用いて、歪補正処理後の着目点の座標 (X , Y) に対応する歪補正処理前の着目点の座標 (X' , Y') を、次の数式4に示すように算出する。

【数式4】

$$\begin{cases} X' = (\dot{X} - X_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6 + D \cdot Z^8 + E \cdot Z^{10} + \dots] + X_d \\ Y' = (\dot{Y} - Y_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6 + D \cdot Z^8 + E \cdot Z^{10} + \dots] + Y_d \end{cases}$$

ここで図3は、格子状の被写体を光学系を介して撮像したときの歪曲収差の例を示す図である。まず、図3(A)は、格子状の被写体の例を示している。従来は、Zの2次項までしか考慮していないために、図3(A)に示すような被写体を光学系を介して撮像したときに生じ得る、図3(B)に示すような樽型の歪曲収差や、図3(C)に示すような糸巻き型の歪曲収差をある程度補正することは可能であったが、図3(D)に示すような陣

笠型の歪曲収差を補正することはできなかった。しかし、本第1の実施形態では、この数式4に示すように、Zの2次項を越える次数まで、つまり例えば4次項、または6次項まで考慮するようにしているために、このようなより高次の収差も高精度に補正することが可能となっている。さらに、より一層、高次の項まで考慮しても構わない。

上述したような補間位置生成部21により算出された座標(X, Y)、または歪補正座標変換部22により算出された座標(X', Y')は、セクタ23に入力されて、歪補正を行うか否かに応じて、必要なものが選択される。

また、上記補間演算部26は、上記セクタ23から出力される座標に基づき、該座標の近傍の画素の画像データD0～D15を上記内部メモリ部25から読み出して、次のような数式5を用いることにより、該着目点に係る歪補正処理後の画像データDoutを算出して、後段ブロックへ出力する。

【数式5】

$$\begin{aligned} D_{out} = & k_{x0} (k_{y0} D_0 + k_{y1} D_4 + k_{y2} D_8 + k_{y3} D_{12}) \\ & + k_{x1} (k_{y0} D_1 + k_{y1} D_5 + k_{y2} D_9 + k_{y3} D_{13}) \\ & + k_{x2} (k_{y0} D_2 + k_{y1} D_6 + k_{y2} D_{10} + k_{y3} D_{14}) \\ & + k_{x3} (k_{y0} D_3 + k_{y1} D_7 + k_{y2} D_{11} + k_{y3} D_{15}) \end{aligned}$$

ここに、 $k_{x0} \sim k_{x3}$, $k_{y0} \sim k_{y3}$ は、例えばCubic補間を行う際に定められた所定の補間係数である。

次に、図6は、本第1の実施形態における画像データの読出順序を示す図である。

画像データは、通常は、ライン方向、つまり行方向に読み出されるようになっており、1ラインの画像データを全て読み出して、次に隣接するラインの画像データを全て読み出すといった動作を繰り返して行うのが一般的である。

これに対して、本第1の実施形態の画像処理装置は、行方向に所定長さだけ読み出して、次の行に移動して同様に所定長さだけ読み出し、これを所定の行数がまとまってから、列方向に順番に出力することにより、所定のブロック単位で、縦方向に画像データを読み出したようにデータ順序を変換したものとなっている。この行方向への所定の長さは、フレームメモリ4から高速に読み出せる幅を単位として決定される。

その後が続いて読み出すブロックは、行方向に隣接する(図6において右隣となる)ブロックとなっていて、画像データの右端まで到達したところで、今まで読み出した一連の

ブロック群と縦方向に重複するように、少し下にずれて、次のブロック群を読み出すようになっている。第2データ順序変換部8で出力される隣接する行（横方向）のデータをそれぞれ生成するために必要な画像データは、一部重複する。そのために、第1データ順序変換部5では、その分を考慮して読み出す必要がある。

画像データの読み出し命令は連続的に発行されるために、このようなブロック単位の読み出しは、実際には、連続的に行われ、図6における行方向に細長の矩形内のデータは、実線の矢印のように、縦方向に連続して流れることとなる。

こうした画像データの読み出しを可能にするための第1データ順序変換部5と、第2データ順序変換部8との構成を、図7を参照して説明する。図7は、データ順序変換部の構成を示すブロック図である。

第1データ順序変換部5は、図7（A）に示すように、ブロック単位の画像データを記憶可能なメモリを複数、ここでは2つ備えており、メモリ5aとメモリ5bとなっている。フレームメモリ4は、これらのメモリ5aとメモリ5bとに切換可能に接続されているとともに、イメージプロセス部6もこれらのメモリ5aとメモリ5bとに切換可能に接続されていて、フレームメモリ4がメモリ5aとメモリ5bとの一方に接続されているときには、該メモリ5aとメモリ5bとの他方がイメージプロセス部6に接続されるように切り換えられる。すなわち、メモリ5a、5bは、フレームメモリ4とイメージプロセス部6との両方に同時に接続されることがないようにスイッチングされるようになっている。

フレームメモリ4に記憶されているフレーム画像の一部は、ブロック単位でライン方向に読み出され、一方のメモリ、ここでは例えばメモリ5aに記憶される。

これと並列して、メモリ5bからは、既にフレームメモリ4から読み出されて記憶されているブロック単位の画像データが、列方向（縦方向）に順に読み出されて、イメージプロセス部6へ出力される。

フレームメモリ4からメモリ5aへの書き込みと、メモリ5bからイメージプロセス部6への読み出しが終了すると、書き込み側のスイッチおよび読み出し側のスイッチが切り換えられて、次に、フレームメモリ4からメモリ5bへ次のブロック単位の画像データの書き込みが開始されるとともに、メモリ5aからイメージプロセス部6へのブロック単位の画像データの読み出しが開始される。

第2データ順序変換部8も、図7（B）に示すように、上記第1データ順序変換部5とほぼ同様に構成されていて、ほぼ同様に動作するようになっている。

すなわち、第2データ順序変換部8は、メモリ8aとメモリ8bとを有して構成されている。

そして、該第2データ順序変換部8の動作時には、歪補正処理部7からの書き込みがメモリ8aとメモリ8bとの一方に対して列方向（縦方向）に行われ、メモリ8aとメモリ8bとの他方からは行方向（横方向）に読み出しが行われてJ P E G処理部9へ出力されるようになっている。

また、図2の内部メモリ部25として必要なバッファの量は、図8に示すようになっている。図8は、補正画像と撮影画像との対応関係と、処理に必要なバッファ量と、を示す図である。

図8における点線同士が交差する点は、イメージプロセス部6から歪補正処理部7へ入力される画像データ（つまり、歪補正処理が行われる前の画像データであり、ひいてはフレームメモリ4から読み出される画像データ）を示している。また、黒点は、歪補正処理後の着目点の座標（X，Y）から算出された歪補正処理前の着目点の座標（X'，Y'）を示していて、処理対象となる複数の点（図8に示す例においては、横4×縦5ドットでなる点）を示している。これらの点は、例えば、縦方向に並んだ5ドット単位で歪補正処理が行われるようになっており、例えば横4×縦5ドットのブロックの内の一番右側の縦5ドット（図8において太い実線上に配置された5ドット）を処理するために必要なバッファ量は、図8中の矢印で示すような範囲、つまり縦9×横7ドットでなる入力画像データのブロックとなっている（ただし、これはCubic補間を行う際に、着目点の周囲16点の画像データが必要な場合であり、補間方法を変更すれば、当然、必要なバッファ量は変わることになる。）。

なお、バッファ（内部メモリ部25）の大きさ（記憶容量）は、歪曲収差が最も大きい画像の4隅部分を補間処理することができるような大きさとして確保する必要があるのは勿論である。

また、図6に示した例では、縦方向に読み出す画素数を、フレーム画面内の何れの位置においても等しく取っていたが、これに限らず、図9に示すように、位置に応じて異ならせるようにしても構わない。図9は、歪中心からの距離に応じて読み出す画像データの幅を縦方向に異ならせる例を示す図である。つまり、歪曲収差による歪みは、歪中心から離れるほど大きくなり、逆に歪中心に近ければ小さくなる。従って、歪中心に遠い場所では縦方向に読み出す画素数を多くし、歪中心に近い場所では縦方向に読み出す画素数を少な

くするようにすれば、より処理を高速化することが可能となる。

さらに、図10は、歪中心からの距離に応じて読み出す画像データのサイズおよび読出開始位置を異ならせる例を示す図である。この図10に示す例は、縦方向に読み出す画素数を、横方向の位置に応じて変更するとともに、画像データを読み出す開始位置をもブロック単位で変更するようにしたものである。

すなわち、歪中心が画面のほぼ中央部にある場合を例にとると、同一ライン上であっても、中央部ほど歪中心に近く、左右端ほど歪中心から遠くなる。従って、歪中心に近い中央部は縦方向に読み出す画素数を少なくし、歪中心に遠い左右端部は縦方向に読み出す画素数を多くしている。さらに、図示のような樽型の歪曲収差が発生している場合には、その収差に基づく曲線の形状に合わせて、左右端ではブロック単位の画像データを読み出す開始位置を縦方向やや下側とし、中央部ではブロック単位の画像データを読み出す開始位置を縦方向やや上側としている。ここでは樽型の歪曲収差が発生している場合を例に示したが、糸巻き型や陣笠型の歪曲収差が発生している場合であっても、発生している歪み形状に合わせて、読み出す画素数を変更することが可能であるのは勿論である。

なお、読み出すブロックにおいて、読み出す画素数を、縦方向に異ならせるだけでなく、横方向に異ならせるようにしても構わない。

また、上述では、イメージプロセス部6により処理された後の画像データを歪補正するようにしていたが、これに限るものではない。

図11は、画像処理装置の構成の第1変形例を示すブロック図である。この図11は、CCD1から出力される撮像データ（例えば、ベイヤーデータ）を、一旦フレームメモリ4に蓄積した後に、3板化する前に歪補正するようにした構成例を示しており、上記図1に示した構成に比して、イメージプロセス部6と歪補正処理部7との位置が交換されたものとなっている。上記図1においては、例えばイメージプロセス部6により3板化した画像データを各色毎に処理することになるが、これに限らず、この図11に示すように、ベイヤー配列のカラーフィルタを備えたCCD1から出力されるベイヤーデータを歪補正処理するようにしても構わない。この場合には、隣接する複数画素（例えば16画素）を用いて補間処理を行うのではなく、ベイヤー配列における同色の隣接する画素を用いて補間処理を行うことになる。この構成によれば、3板化した後の画像データに比して、歪補正を行うデータ量を減らすことができる。

次に、図12は、画像処理装置の構成の第2変形例を示すブロック図である。この図1

2は、メモ리카ード等10に記録されている画像データを歪補正処理するようにした構成例を示している。この構成例では、第1データ順序変換部5の前段にJ P E G処理部9が配置されていて、メモ리카ード等10から読み出したJ P E G等の圧縮方式により圧縮されている画像データを伸張するようになっている。伸張された画像データは、該第1データ順序変換部5やイメージプロセス部6を介して、歪補正処理部7により上述したように処理され、第2データ順序変換部8で元のデータ順序に変換される。なお、メモ리카ード等10にT I F F等の非圧縮データとして記録が行われている場合には、特に伸張処理することなく歪補正を含む画像処理を実行することも可能である。

続いて、図13は、画像処理装置の構成の第3変形例を示すブロック図である。この図13は、歪補正処理後の画像データを圧縮することなく、画像表示するためなどに出力するようにした構成例を示している。第2データ順序変換部8により元のデータ順序に変換された画像データは、J P E G等の圧縮方式により圧縮されることなく、バス11を介してビデオメモリ12に書き込まれ、画像として表示されるようになっている。

さらに、図14は、画像処理装置の構成の第4変形例を示すブロック図である。この図14は、歪補正処理に用いる距離情報（上述した歪中心から補間位置までの距離Z）を、他の画像処理にも用いるようにした構成例を示している。この構成例では、イメージプロセス部6の後段に、上記光学系に起因する周辺光量不足を補正するための画像処理部たるシェーディング補正部14、不要な高周波成分をカットするための画像処理部たるローパスフィルタ（L P F）処理部15、上記歪補正処理部7、画像中のエッジ部分を強調するための画像処理部たるエッジ強調処理部16、をこの順にパイプライン処理経路上に配置している。そして、距離情報が、歪補正処理部7からシェーディング補正部14、ローパスフィルタ（L P F）処理部15、エッジ強調処理部16に出力されて、必要に応じてこれらの処理において用いられるようになっている。

これにより、歪中心からの距離に応じて発生する周辺光量不足を、シェーディング補正部14が適切に補正することができる。また、歪中心からの距離に応じて発生する歪曲収差が、例えば樽型である場合には、歪曲収差を補正したときに画像の周辺部が引き延ばされて画像の鮮明さが低下する可能性があるが、これをローパスフィルタ処理部15やエッジ強調処理部16により、適切に補正することができる。そして、これらシェーディング補正部14、ローパスフィルタ処理部15、エッジ強調処理部16が、それぞれ個別に距離情報を算出する必要がなくなるために、回路規模を縮小することが可能となる。

なお、図示上は、歪補正処理部 7 から、それよりもパイプライン処理経路上の前段にあるシェーディング補正部 14 やローパスフィルタ処理部 15 に距離情報を出力するようになっているが、処理順序を考慮して、距離 Z を算出するための処理ブロックを別構成として、距離情報を使用する各ブロックよりも前段側に配置するようにしても構わない。

なお、上述では、デジタルカメラに画像処理装置を適用した例について説明したが、これに限らず、専用の画像処理装置であっても構わないし、コンピュータ等の増設ボードなどとして提供されるタイプの画像処理装置とすることも可能である。

また、画像処理の対象とするのは、デジタルカメラやビデオカメラにおいて、光学系により結像された被写体像を撮像素子である CCD 等の撮像手段により光電変換して得られる画像データ、または該画像データを処理して得られる非圧縮画像データ、あるいは該画像データを処理した後に圧縮して得られる圧縮画像データ、に限るものではなく、例えば、銀塩カメラで撮影したフィルム、もしくはプリントを、スキャナ等の撮像手段で取り込むことにより得られる画像データ等であっても、上述したような歪補正処理の対象とすることができる。

さらに、画像処理の対象とするのは、画素データが行方向および列方向に完全に整列している画像データに限るものではない。例えば、ハニカムタイプの画素配列を備えた撮像素子で撮像された画像データであっても、実質的に行方向および列方向に処理を行うことができるような画像データとなっていれば、上述したような歪補正処理を行うことが可能である。

このような第 1 の実施形態によれば、イメージプロセス部や歪補正処理部への画像データの転送は、バスとは異なる情報伝達経路を介してパイプライン処理可能なように行い、さらに、データ転送をブロック単位で行うとともにその読み出し方向を工夫するようにしたために、バスのデータ転送量やメモリ容量を増大させることなく、歪補正を含む画像処理を行うことが可能となる。

そして、歪補正処理後の着目点の座標に対応する歪補正処理前の着目点の座標を、歪中心から補間位置までの距離の 4 次項、6 次項、またはそれ以上の高次項まで考慮して計算するようにしたために、陣笠型の歪曲収差等の、より高次の収差も高精度に補正することが可能となる。

また、補間位置生成部により生成された座標と、歪補正座標変換部により変換された座標と、をセレクタにより選択することができるようにしたために、歪補正を行うか否かを

必要に応じて所望に選択することが可能となる。これにより、ひいては、撮像時には歪補正処理を行うことなく画像データをメモリカード等に一旦記憶しておき、後の時点で、該メモリカードから画像データを読み出して歪補正処理を行うなどが可能となる。このような選択を行えば、撮像時に歪補正処理を省略することができるために、より高速な処理が可能となる。

さらに、歪補正処理部により算出した距離情報を、シェーディング補正部やローパスフィルタ、エッジ強調処理部に出力することにより、周辺光量不足を適切に補正したり画像の不鮮明さを適切に補正したりすることが、回路規模を増大させることなく可能となる。

また、歪中心からの距離により異なる歪曲収差の大きさに合わせて、メモリから読み出すブロック単位の画像データの行方向のサイズと列方向のサイズとの少なくとも一方を適切に変更することにより、処理に必要な最小限のデータを読み出すことができるために、処理を高速化することが可能となる。

図15から図20は本発明の第2の実施形態を示したものであり、図15は画像処理装置の構成を示すブロック図である。

この第2の実施形態において、上述の第1の実施形態と同様である部分については説明を省略し、主として異なる点についてのみ説明する。

この第2の実施形態の画像処理装置は、上記図1に示した第1の実施形態の画像処理装置から、第1データ順序変換部5と、第2データ順序変換部8と、を取り除いたものとなっている。

また、この第2の実施形態における画像処理部であり歪補正処理手段たる歪補正処理部7は、上記イメージプロセス部6による処理後の画像データに歪補正処理を行うだけでなく、さらに拡大縮小処理を行うものとなっている。

さらに、上記イメージプロセス部6、歪補正処理部7、JPEG処理部9が、バス11とは異なる情報伝達経路でパイプライン処理可能なように接続されているのも上述と同様である。このとき、処理をブロック単位で行うことにより容量を小さくすることができる画像処理部の内部バッファは、上記図2に示した内部メモリ部25または図16に示す2ポートSRAM25aである。

また、歪補正処理部7の構成は、上記図2を参照して説明したものと同様である。

なお、上記図15に示したような構成例においては、歪補正処理部7に対する前段の処理ブロックがイメージプロセス部6に対応し、後段の処理ブロックがJPEG処理部9に

対応している。

ここで、上記補間位置生成部21と歪補正座標変換部22とにおいて、座標を算出する際の基本的な数式と、それを変形することにより回路規模を縮小することができるようにした実用的な数式と、について説明する。

まず、基本的な数式について説明する。

上記補間位置生成部21は、基本的に、上記CPU3から上記制御レジスタ7aに設定される補間開始位置(XST, YST)および補間ステップ(ΔX , ΔY)を用いて、上記数式1に示したように、補間を行う着目点の座標(X, Y)を算出するものである。

上記歪補正座標変換部22は、基本的に、上記補間位置生成部21から出力される歪補正処理後の着目点の座標(X, Y)から、歪補正処理前の着目点の座標(X', Y')を次のように算出するものである。

すなわち、歪補正座標変換部22は、まず、上記数式2に示すような中間的な算出値(X(ドット), Y(ドット)) (ここに、文字の上に付す点を文章中では(ドット)などとして表している。)を求める。

次に、歪補正座標変換部22は、歪中心からの距離を示すZ(より正確にはZの2乗)を、上記数式3に示したように計算する。

歪補正座標変換部22は、こうして算出されたZと、上記CPU3から上記制御レジスタ7aに設定される光学系の歪曲収差に関する光学的性質を示すパラメータである歪補正係数A, B, Cと、上記算出値(X(ドット), Y(ドット))と、上記歪中心位置の座標(Xd, Yd)と、を用いて、歪補正処理後の着目点の座標(X, Y)に対応する歪補正処理前の着目点の座標(X', Y')を、次の数式6に示すように算出する。

【数式6】

$$\begin{cases} X' = (\dot{X} - X_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6] + X_d \\ Y' = (\dot{Y} - Y_d) \cdot [1 + A \cdot Z^2 + B \cdot Z^4 + C \cdot Z^6] + Y_d \end{cases}$$

この第2の実施形態においても、この数式6に示すように、Zの2次項を越える次数まで、つまり例えば4次項、または6次項まで考慮するようにしているために、上記図3(D)に示したような陣笠型の歪曲収差等のより高次の収差も高精度に補正することが可能となっている。なお、ここでは6次項まで考慮する例を示したが、上記数式4に示したように、8次項、10次項等の、より一層高次の収差も補正するようにしても構わない。

上述したような補間位置生成部21により算出された座標(X, Y)、または歪補正座標変換部22により算出された座標(X', Y')は、セレクタ23に入力されて、歪補正を行うか否かに応じて、必要なものが選択される。

次に、回路規模を縮小することができるようにした実用的な数式について説明する。

まず、上記数式3に数式2および数式1を代入して、次の数式7に示すように変形する。

【数式7】

$$\begin{aligned} Z^2 &= M^2 \cdot \left[\left[S_X \cdot \left\{ (X - X_d) + \frac{X_{off}}{M} \right\} \right]^2 + \left[S_Y \cdot \left\{ (Y - Y_d) + \frac{Y_{off}}{M} \right\} \right]^2 \right] \\ &= M^2 \cdot \left[\left[S_X \cdot \left\{ (X_{ST} + k\Delta X - X_d) + \frac{X_{off}}{M} \right\} \right]^2 + \left[S_Y \cdot \left\{ (Y_{ST} + l\Delta Y - Y_d) + \frac{Y_{off}}{M} \right\} \right]^2 \right] \end{aligned}$$

そして、数式8に示すような新たな定数式を導入して、上記数式7を数式9に示すように変形する。

【数式8】

$$\begin{cases} \ddot{X}_{ST} = S_X \cdot \left\{ (X_{ST} - X_d) + \frac{X_{off}}{M} \right\} \\ \ddot{Y}_{ST} = S_Y \cdot \left\{ (Y_{ST} - Y_d) + \frac{Y_{off}}{M} \right\} \\ \Delta \ddot{X} = S_X \times \Delta X \\ \Delta \ddot{Y} = S_Y \times \Delta Y \end{cases}$$

【数式9】

$$Z^2 = M^2 \ddot{Z}^2 = M^2 \cdot \left\{ \left(\ddot{X}_{ST} + k\Delta \ddot{X} \right)^2 + \left(\ddot{Y}_{ST} + l\Delta \ddot{Y} \right)^2 \right\}$$

ここに、数式9におけるZ(2ドット)は、次の数式10に示すように定義され、X2, Y2(補間座標データ)は次の数式11に示すように定義される。

【数式10】

$$\ddot{Z} = \frac{Z}{M}$$

【数式11】

$$\begin{cases} X2 = \ddot{X}_{ST} + k\Delta \ddot{X} \\ Y2 = \ddot{Y}_{ST} + l\Delta \ddot{Y} \end{cases}$$

この数式10および数式11に示すように定義されたZ（2ドット）を用いると、上記数式6は次の数式12に示すように変形される。

【数式12】

$$\left\{ \begin{array}{l} X' = [1 + (AM^2)\ddot{Z}^2 + (BM^4)\ddot{Z}^4 + (CM^6)\ddot{Z}^6] \cdot (\dot{X} - X_d) + X_d \\ \quad = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6] \cdot (\dot{X} - X_d) + X_d \\ \quad = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6] \cdot \{M(X_{ST} - X_d) + X_{off} + M \cdot k\Delta X\} + X_d \\ \quad = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6] \cdot (\ddot{X} + k\Delta\ddot{X}) + X_d \\ \quad = F \cdot X1 + X_d \\ Y' = [1 + (AM^2)\ddot{Z}^2 + (BM^4)\ddot{Z}^4 + (CM^6)\ddot{Z}^6] \cdot (\dot{Y} - Y_d) + Y_d \\ \quad = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6] \cdot (\dot{Y} - Y_d) + Y_d \\ \quad = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6] \cdot \{M(Y_{ST} - Y_d) + Y_{off} + M \cdot l\Delta Y\} + Y_d \\ \quad = [1 + \dot{A}\ddot{Z}^2 + \dot{B}\ddot{Z}^4 + \dot{C}\ddot{Z}^6] \cdot (\ddot{Y} + l\Delta\ddot{Y}) + Y_d \\ \quad = F \cdot Y1 + Y_d \end{array} \right.$$

ここに、この数式12においては、次の数式13から数式16に示すように定義された定数式または変数式を用いている。

【数式13】

$$\left\{ \begin{array}{l} \dot{A} = AM^2 \\ \dot{B} = BM^4 \\ \dot{C} = CM^6 \end{array} \right.$$

【数式14】

$$\left\{ \begin{array}{l} \ddot{X} = M(X_{ST} - X_d) + X_{off} \\ \Delta\ddot{X} = M \cdot \Delta X \\ \ddot{Y} = M(Y_{ST} - Y_d) + Y_{off} \\ \Delta\ddot{Y} = M \cdot \Delta Y \end{array} \right.$$

【数式15】

$$\left\{ \begin{array}{l} X1 = \ddot{X} + k\Delta\ddot{X} \\ Y1 = \ddot{Y} + l\Delta\ddot{Y} \end{array} \right.$$

【数式16】

$$F = [1 + \ddot{A}\ddot{Z}^2 + \ddot{B}\ddot{Z}^4 + \ddot{C}\ddot{Z}^6]$$

上記数式1～数式3および数式6に示したような基本的な数式に沿って演算を行う場合には、係数が14個で乗算回数が13回となる。すなわち、係数は、歪中心位置（ X_d ， Y_d ）、中心ずれ補正量（ X_{off} ， Y_{off} ）、範囲補正倍率 M 、係数（ S_x ， S_y ）、歪補正係数 A ， B ， C 、補間開始位置（ X_{ST} ， Y_{ST} ）、補間ステップ（ ΔX ， ΔY ）の合計14個である。また、乗算回数は、数式2における M との乗算が2回、数式3における S_x ， S_y との各乗算と2つの2乗式とで乗算が4回、数式6における歪補正係数 A ， B ， C との乗算が3回、 Z の4乗および6乗の算出に乗算が2回、大括弧と小括弧との乗算が2回、で合計13回となる。

これに対して、上記数式7～数式16に示したような実用的な数式に沿って演算を行う場合には、係数が13個で乗算回数が9回となる。すなわち、係数は、 X （2ドット） $_{ST}$ ， Y （2ドット） $_{ST}$ ， ΔX （2ドット）， ΔY （2ドット）， X （3ドット）， Y （3ドット）， ΔX （3ドット）， ΔY （3ドット）， A （ドット）， B （ドット）， C （ドット）， X_d ， Y_d の合計13個である。また、乗算回数は、数式9の中括弧内における2つの2乗式で2回、数式16における A （ドット）， B （ドット）， C （ドット）との乗算が3回、該数式16における Z （ドット）の4乗および6乗の算出に乗算が2回、数式12における F との乗算が2回、で合計9回となる。

このような演算で扱う数は、ダイナミックレンジが大きく、計算回数が少し増えるだけでも回路規模が大きくなってしまいうために、上記に示したような実用的な数式に沿って演算を行うことにより、乗算器の個数を減少させるとともに、係数を設定するためのレジスタを削減することができ、回路規模を効果的に縮小することが可能となる。

このように変形された実用的な数式に基づいて、上記補間位置生成部21に対応する補間位置算出回路21a（後述する図16参照）は、上記CPU3から上記制御レジスタ7aに設定される補間開始位置（ X （3ドット）， Y （3ドット））および補間ステップ（ ΔX （3ドット）， ΔY （3ドット））を用いて、上記数式15に示すように、補間を行う着目点の座標（補間位置）（ X_1 ， Y_1 ）を算出するようになっている。

また、上記歪補正座標変換部22の歪補正係数算出手段たる歪補正係数算出回路22a（後述する図16および図17参照）は、上記CPU3から上記制御レジスタ7aに設定

されるA（ドット）、B（ドット）、C（ドット）を用いて、上記数式16に示すように歪補正係数Fを算出するようになっている。なお、後述するように、該図17に示す構成に代えて、図18に示すような構成により、歪補正係数Fを算出することも可能となっている。

さらに、上記歪補正座標変換部22の補間位置補正回路22b（後述する図16参照）は、算出された歪補正係数Fと、上記CPU3から上記制御レジスタ7aに設定される歪中心位置の座標（Xd，Yd）と、を用いて上記着目点の座標（補間位置）（X1，Y1）から上記数式12により歪補正処理前の着目点の座標（補間座標データ）（X'，Y'）を算出するようになっている。

次に、上記補間演算部26は、上記セクタ23から出力される座標に基づき、該座標の近傍の画素の画像データD0～D15を上記内部メモリ部25から読み出して、上記数式5を用いることにより、該着目点に係る歪補正処理後の画像データDoutを算出して、後段の処理ブロックへ出力する。

図16は、歪補正処理部7のより詳細な構成を示すブロック図である。

上記補間位置生成部21は、上記着目点の座標（X1，Y1）を上述したように算出するための補間位置算出回路21aを有して構成されている。

上記歪補正座標変換部22は、上記歪補正係数Fを上記数式16に示したように算出するための歪補正係数算出回路22aと、この歪補正係数算出回路22aにより算出された歪補正係数Fを用いて上記数式12に示したように歪補正処理前の着目点の座標（X'，Y'）を算出するための補間位置補正回路22bと、を有して構成されている。

上記セクタ23は、歪補正処理を行わない場合には（拡大縮小処理を行うか否かに関わらず）上記補間位置算出回路21aからの座標（X1，Y1）を選択し、歪補正処理を行う場合には（拡大縮小処理を伴うか否かに関わらず）上記補間位置補正回路22bからの座標（X'，Y'）を選択するものである。

このセクタ23により選択された座標（X1，Y1）または座標（X'，Y'）には、制御レジスタ7aを介して上記CPU3により設定される歪中心位置の座標（Xd，Yd）が、加算器27a，27bによりそれぞれ加算されるようになっている。

これら加算器27a，27bの出力は、読出しアドレス生成回路24aとバッファ開放量算出回路24cとへ出力されるようになっている。

この読出しアドレス生成回路24aには、さらに、上記補間位置算出回路21aにより

算出された座標 (X 1, Y 1) も上記セクタ 2 3 を介する経路とは別途に入力されるようになっている。そして、該読出しアドレス生成回路 2 4 a は、この座標 (X 1, Y 1) に関連する画素データ (1 6 点補間を行う場合には、該座標 (X 1, Y 1) を中心とする 1 6 個の画素データ) が記憶されているアドレス ADR を 2 ポート SRAM 2 5 a に出力するとともに、補間係数 (例えば、上記数式 5 に示したような補間係数 $k_{x0} \sim k_{x3}$, $k_{y0} \sim k_{y3}$) と出力する画素データが D0 ~ D15 のどの位置の画素データであるかを示すデータ列制御信号とを補間回路 2 6 a に出力するようになっている。さらに、該読出しアドレス生成回路 2 4 a は、書き込み許可信号 WE_N を後段の処理ブロックへ出力する。

上記 2 ポート SRAM 2 5 a は、上記図 2 に示した内部メモリ部 2 5 に対応する回路部分である。

補間回路 2 6 a は、上記図 2 に示した補間演算部 2 6 に対応するものであり、上記 2 ポート SRAM 2 5 a から読み出された画像データを用いて上記数式 5 に示したような補間処理を行い、処理後の画像データを後段の処理ブロックに出力するものである。

上記バッファ開放量算出回路 2 4 c は、上記補間位置算出回路 2 1 a からの出力と、上記セクタ 2 3 からの出力と、に基づいて、上記 2 ポート SRAM 2 5 a において開放可能な記憶容量 (バッファ開放量) を算出するものである。

バッファ空き容量監視回路 2 4 d は、このバッファ開放量算出回路 2 4 c の出力を参照して、上記 2 ポート SRAM 2 5 a の空き容量の状況を把握するものである。

書き込みアドレス生成回路 2 4 b は、前段の処理ブロックからの画像データを受けて、上記 2 ポート SRAM 2 5 a に記録するものである。

GRANT_N 送信判定回路 2 4 e は、後段の処理ブロックからの画像データを要求する要求信号 REQ_N を受けて、上記書き込みアドレス生成回路 2 4 b とバッファ開放量算出回路 2 4 c との出力に基づき画像データの送信が可能であるか否かを判断し、可能である場合に許可信号 GRANT_N を後段の処理ブロックに出力するとともに、上記補間位置算出回路 2 1 a にも出力するものである。この GRANT_N 送信判定回路 2 4 e は、さらに、該許可信号 GRANT_N を受けた補間位置算出回路 2 1 a が座標 (X 1, Y 1) を算出して出力するのにタイミングを合わせて歪補正係数算出回路 2 2 a が歪補正係数 F を出力することができるように、トリガ *trig* を該歪補正係数算出回路 2 2 a へ出力するようになっている。

なお、上記図 1 6 に示した歪補正処理部 7 の構成の中で、上記歪補正座標変換部 2 2 を

除く各回路にはクロックCLK 2が供給されるが、この歪補正座標変換部22にはこのクロックCLK 2とは異なり得るクロックCLK 1が供給されるようになっている。

これにより、歪補正処理を行わない場合、つまり例えば拡大縮小処理のみを行う場合や、歪補正処理および拡大縮小処理を両方とも行わない場合などに、歪補正座標変換部22への供給クロックCLK 1を停止すれば、不要な電力の消費を抑制することが可能である。また、供給するクロックCLK 1のクロック数を低下させたり戻したり制御することにより、単位時間あたりに補間座標データを生成する回数を制御し調整することも可能となる。

次に、この図16に示したような歪補正処理部7の動作について説明する。

バッファ空き容量監視回路24dは、バッファ開放量算出回路24cを介して2ポートSRAM25aの空き容量を監視し、所定の空き容量があると、前段の処理ブロックに対して所定のブロック単位の画像データ（以下、適宜、ユニットライン（UL）データという。）を送信するように要求信号REQを出す（ステップS1）。

前段の処理ブロックは、この要求信号REQを受けて、画像データが送信可能になったところで許可信号GRANTを送信し、上記バッファ空き容量監視回路24dは、この許可信号GRANTを受信する（ステップS2）。

該バッファ空き容量監視回路24dは、2ポートSRAM25aの空き容量を、内部に保持するカウンタで把握するようになっており、許可信号GRANTを受信すると同時に、この内部カウンタの値を1つ減らす。該バッファ空き容量監視回路24dは、この内部カウンタが0になったら、上記要求信号REQを取り下げるように動作する（ステップS3）。

そして、前段の処理ブロックから、書き込み許可信号WEが書き込みアドレス生成回路24bに入力され、続いて画像データが入力される。これに応じて、書き込みアドレス生成回路24bは、制御信号を2ポートSRAM25aへ出力して、画像データDATAを該2ポートSRAM25aの、アドレスADDRESSで指定される領域に書き込む。また、書き込みアドレス生成回路24bは、1ULデータが入力される毎に、BLCカウンタ（内部バッファである2ポートSRAM25aにどれだけのデータが溜められたかを示すカウンタ）をアップして、GRANT_N送信判定回路24eへ出力する（ステップS4）。

GRANT_N送信判定回路24eは、後段の処理ブロックから要求信号REQ_Nを受信すると、次に送信することができるULデータが2ポートSRAM25a内にあるか

否かを判定し、あると判定した場合には、許可信号GRANT_Nを後段の処理ブロックと上記補間位置算出回路21aとへ送信する(ステップS5)。

補間位置算出回路21aは、この許可信号GRANT_Nを受けて動作を開始し、補間位置である座標(X1, Y1)の算出動作を1UL分行ったところで、次のUL先頭座標を算出して終了する(ステップS6)。

上記GRANT_N送信判定回路24eは、補間位置算出回路21aが動作を開始して座標(X1, Y1)を出力するのと同期して歪補正係数算出回路22aが歪補正係数Fを出力することができるようなタイミングで、トリガtrigを該歪補正係数算出回路22aへ出力する(ステップS7)。

歪補正係数算出回路22aは、トリガtrigを受けると、ULデータ内の画素について歪補正係数Fを上記数式16に基づき算出し、補間位置補正回路22bに出力する。この歪補正係数算出回路22aも、上記補間位置算出回路21aと同様に、1UL分の動作を行ったところで、次のUL先頭座標を算出して終了する(ステップS8)。

補間位置補正回路22bは、この歪補正係数算出回路22aから受け取った歪補正係数Fと、上記補間位置算出回路21aから受け取った座標(X1, Y1)と、を用いて、上記数式12に基づき座標(X', Y')を算出する。この補間位置補正回路22bも、上記歪補正係数算出回路22aに従って、1UL分の動作を行ったところで、次のUL先頭座標を算出して終了する(ステップS9)。

セレクト23は、上記制御レジスタ7aを介して上記CPU3により設定された動作モードに従って、歪補正処理を行う場合には上記補間位置補正回路22bからの座標(X', Y')を選択し、歪補正処理を行わない場合には上記補間位置算出回路21aからの座標(X1, Y1)を選択する(ステップS10)。

加算器27a, 27bは、このセレクト23により選択された座標(X1, Y1)または座標(X', Y')に、歪中心位置の座標(Xd, Yd)をそれぞれ加算する(ステップS11)。

読み出しアドレス生成回路24aは、加算器27a, 27bから受け取った座標に基づいて、補間に用いるために2ポートSRAM25aから読み出す画素データのアドレスADDRを該2ポートSRAM25aに出力するとともに、補間係数とデータ列制御信号とを補間回路26aに出力する(ステップS12)。

補間回路26aは、読み出しアドレス生成回路24aから受け取った補間係数およびデ

ータ列制御信号と、2ポートSRAM25aから受け取った画素データと、を用いて、上記数式5に示すように、補間された画素データを算出し、後段の処理ブロックに出力する(ステップS13)。

バッファ開放量算出回路24cは、上記補間位置算出回路21aおよび加算器27a, 27bの出力に基づいて、ULデータを最後まで出力したことが確認されたら、今処理を終えたUL先頭座標と、次のUL先頭座標との差を計算して、必要なくなったデータが蓄積されているバッファ(2ポートSRAM25a内の領域)を開放するために、バッファ開放量をバッファ空き容量監視回路24dへ出力するとともに、次のUL処理を行うために後どれだけのデータを前段の処理ブロックから受けることが必要であるかを、上記GRANT_N送信判定回路24eへ送信する(ステップS14)。

バッファ空き容量監視回路24dは、上記ステップS14において内部バッファである2ポートSRAM25aに記憶領域の空きができたことが確認されたところで、上記ステップS1へ戻って、上述したような処理を繰り返して行う(ステップS15)。

GRANT_N送信判定回路24eは、上記書込みアドレス生成回路24bからのBLCカウンタの値と、バッファ開放量算出回路24cからの出力と、に基づいて、次のULデータを後段の処理ブロックに送信することができるか否かを判定し、送信できると判定した場合には、上記ステップS5の処理を行う(ステップS16)。

図17は、上記歪補正係数算出回路22aの構成の一例を示すブロック図である。この歪補正係数算出回路22aは、上記数式16によって、歪補正係数Fを算出するためのものである。

なお、この図17において、および以下に示す図17の説明においては、Zは数式10の左辺に示すZ(2ドット)のことを指し、係数A, B, Cは数式13の左辺に示すA(ドット), B(ドット), C(ドット)のことを指している。

歪補正係数算出回路22aは、上記GRANT_N送信判定回路24eからトリガtriggerが入力されたところで上記数式11に基づき補間座標X2, Y2を算出する歪補正用座標算出回路31と、この歪補正用座標算出回路31により算出された補間座標X2を浮動小数に変換する浮動小数化回路32aと、上記歪補正用座標算出回路31により算出された補間座標Y2を浮動小数に変換する浮動小数化回路32bと、上記浮動小数化回路32aにより浮動小数化された補間座標X2を2乗する2乗計算器33aと、上記浮動小数化回路32bにより浮動小数化された補間座標Y2を2乗する2乗計算器33bと、上記

2乗計算器33aにより算出された補間座標 X_2 の2乗と上記2乗計算器33bにより算出された補間座標 Y_2 の2乗とを加算することにより Z （より正確には、上述したように Z （2ドット））。以下同様）の2乗を算出する加算器34と、この加算器34からの出力を2乗することにより Z の4乗を算出する2乗計算器33cと、上記加算器34からの出力を遅延させる遅延回路35bと、上記2乗計算器33cにより算出された Z の4乗とこの遅延回路35bにより遅延されタイミングを合わせて出力される Z の2乗とを乗算することにより Z の6乗を算出する乗算器36dと、上記加算器34からの出力を遅延させるとともに上記2乗計算器33cからの出力を遅延させる遅延回路35aと、上記遅延回路35aから遅延されタイミングを合わせて出力される Z の2乗に上記CPU3から制御レジスタ7aに設定される係数 A （より正確には、上述したように A （ドット））。以下同様）を乗算する乗算器36aと、上記遅延回路35aから遅延されタイミングを合わせて出力される Z の4乗に上記CPU3から制御レジスタ7aに設定される係数 B （より正確には、上述したように B （ドット））。以下同様）を乗算する乗算器36bと、上記乗算器36dから出力される Z の6乗に上記CPU3から制御レジスタ7aに設定される係数 C （より正確には、上述したように C （ドット））。以下同様）を乗算する乗算器36cと、上記乗算器36aからの出力に上記CPU3から制御レジスタ7aに設定される上記係数 A の符号 $signA$ を与えて固定小数に変換する固定小数化回路37aと、上記乗算器36bからの出力に上記CPU3から制御レジスタ7aに設定される上記係数 B の符号 $signB$ を与えて固定小数に変換する固定小数化回路37bと、上記乗算器36cからの出力に上記CPU3から制御レジスタ7aに設定される上記係数 C の符号 $signC$ を与えて固定小数に変換する固定小数化回路37cと、上記固定小数化回路37aからの出力と上記固定小数化回路37bからの出力と上記固定小数化回路37cからの出力と上記CPU3から制御レジスタ7aに設定される定数1.0とを加算することにより上記数式16に基づく歪補正係数 F を算出する加算器38と、を有して構成されている。

なお、この図17において、2重線で示している部分が、浮動小数による演算処理を行っている部分であり、ダイナミックレンジの広い X_2 、 Y_2 や Z などを浮動小数で扱うことにより、精度を保ちながら回路規模を縮小するようになっている。

また、図18は、上記歪補正係数算出回路22aの構成の他の例を示すブロック図である。

この図18に示す歪補正係数算出回路22aは、上記歪補正用座標算出回路31と、上

記浮動小数化回路32aと、上記浮動小数化回路32bと、上記2乗計算器33aと、上記2乗計算器33bと、上記加算器34と、この加算器34から出力される浮動小数化されたZ（より正確には、上述したようにZ（2ドット）。以下同様）の2乗を用いて参照を行うことにより固定小数化された歪補正係数Fを出力するLUT（ルックアップテーブル）39と、を有して構成されている。

この図18においても、2重線で示している部分が、浮動小数による演算処理を行っている部分である。

このように、この図18に示す構成例は、ルックアップテーブルを用いることにより、歪補正係数Fを算出するための処理時間を短縮し回路の消費電力を低減するものとなっている。

なお、この構成例を適用する場合には、上記係数A、B、CはCPU3から設定されるものではなく、固定値となっている。もちろん、ルックアップテーブルの規模が大きくなっても構わない場合には、上記係数A、B、Cの複数の組み合わせに対応するルックアップテーブルを用意しておいて、適切なものを用いるようにしても構わない。

次に、図19はクロック毎に補間位置を生成するときの様子を示すタイミングチャート、図20は3クロックに1回の割合で補間位置を生成するときの様子を示すタイミングチャートである。

図19は、クロック毎に補間位置を生成するときの動作の様子を示したものであり、後段の処理ブロックから要求信号REQ_NがGRANT_N送信判定回路24eに入力されると、該GRANT_N送信判定回路24eは、画像データを出力可能となったところで、該後段の処理ブロックに対して許可信号GRANT_Nを送信する。

この許可信号GRANT_Nは、補間位置算出回路21aへも入力されて、補間位置X1、Y1が生成され出力される。この図19に示す例では、補間位置X1、Y1は、各クロック毎に出力される。

そして、適宜の処理時間を経た後に、上記補間回路26aから補間後の画像データが後段の処理ブロックへ出力され、このときには上記読出しアドレス生成回路24aから書き込み許可信号WE_Nが出力されている。

また、図20は、3クロックに1回の割合で補間位置を生成するときの動作の様子を示したものである。

許可信号GRANT_Nが補間位置算出回路21aに入力されるまでの動作は図19に

示した場合と同様であるが、その後該補間位置算出回路21aは、3クロックに1回の割合で補間位置X1, Y1を生成して出力する。

また、補間位置X1, Y1が生成されてから上記補間回路26aから補間後の画像データが出力されるまでの処理に要する時間も図19に示した場合と同様であるが、補間位置X1, Y1の生成が3クロックに1回であるために、補間後の画像データの出力も同様に3クロックに1回であり、これに合わせて書き込み許可信号WE_Nの出力も3クロックに1回となっている。

なお、ここでは補間位置をクロック毎あるいは3クロックに1回生成する例を示しているが、これに限るものではなく、適宜の複数回に1回生成するようにしても構わないし、あるいはn回毎にm回 ($n \geq m$) (例えば、3クロックに2回) 生成するようにすることも可能であり、任意の頻度で補間位置を生成することが可能である。また、このようなクロック数に対する補間位置の生成数の割合を、動的に変更するようにしても構わない。

このような第2の実施形態によれば、上述した第1の実施形態とほぼ同様の効果を奏するとともに、歪補正処理と拡大縮小処理とを、1つの回路で同時に行うことができるために、処理時間を短縮して、回路規模を縮小することが可能となる。これにより、高速な画像処理装置を低コストに構成することができる。

また、歪補正を行わないときに、歪補正座標変換部に供給するクロックを停止することにより、つまり、歪補正係数算出回路と補間位置補正回路とに供給するクロックを停止することにより、消費電力を低減することが可能となる。

さらに、これら補間位置算出回路による座標の算出を、必要に応じてクロック毎でないようにする(毎クロックではない隔クロックに行うようにする)ことにより、電力の消費を時間方向に分散することが可能となる。この単位時間当たりに座標を算出する回数を適応的に変更することにより、一層効率的に消費電力の分散を図ることができる。これによって、処理回路の温度が上昇するのを抑制できるとともに、画像処理装置全体の瞬間的な消費電力(ピーク消費電力)を低減することができる。

そして、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するようにしたために、補間位置生成部や歪補正座標変換部の内部に設ける乗算器の個数を削減することができ、回路規模の縮小を図ることができる。

加えて、歪補正後の画像内の注目画素(X, Y)に対応する位置(つまり、(X, Y))

に X_{off} , Y_{off} , M , SX , SY などを考慮した位置)と歪中心位置(X_d , Y_d)との間の距離 Z (あるいは Z (2ドット))は、ダイナミックレンジが広い数であり、これらの2乗、4乗、6乗などはさらにダイナミックレンジが広い数となるが、これらを浮動小数として扱って演算を行い歪補正係数を算出するようにしたために、精度を保ちながら回路規模を縮小することが可能となる。

また、歪補正係数を求める際に、上記距離 Z (あるいは Z (2ドット)) (もしくはその2乗)に基づき参照可能なルックアップテーブルを用いる場合には、処理時間を短縮しながら回路規模を縮小することが可能となる。

図21から図31は本発明の第3の実施形態を示したものである。この第3の実施形態において、上述の第1、第2の実施形態と同様である部分については説明を省略し、主として異なる点についてのみ説明する。

この第3の実施形態における画像処理装置の主要部の構成は、上述した第2の実施形態の図15に示したものと同様である。

また、画像データを所定のブロック単位で転送することにより容量を小さくすることができる内部バッファは、この第3の実施形態では、上記図2に示した内部メモリ部25または図29に示す2ポートSRAM25aとなっている。

図21は、上記歪補正処理部7の構成の概要を示すブロック図である。

カラー画像データは、通常、RGBやYCbCrなどの3つ (もしくはそれ以上) の独立した信号成分に分解され、各成分毎に処理が行われるようになっている。ここでは、3つの独立した信号成分のそれぞれが処理される経路 (チャンネル) をCh. 0、Ch. 1、Ch. 2として説明するが、具体的には、例えばCh. 0で処理される信号がR、Ch. 1で処理される信号がG、Ch. 2で処理される信号がBなどとなる。

この歪補正処理部7は、各チャンネル毎の歪補正処理部が、前段の対応するチャンネルの処理ブロックへリクエストを送信し、該リクエストに応じて前段の処理ブロックから送信される画像データを所定ブロック単位で受け取って、歪補正を行った後に、後段の対応するチャンネルの処理ブロックへ出力するようになっている。具体的には、Ch. 0データを処理するための歪補正処理部が7A、Ch. 1データを処理するための歪補正処理部が7B、Ch. 2データを処理するための歪補正処理部が7C、となっていて、これらが上記歪補正処理部7に含まれている。なお、これらの歪補正処理部7A、7B、7Cは、後段のブロックから画像データを送信して欲しい旨のリクエストを受信すると、送信可能

になった段階で、画像データを所定のブロック単位で該後段のブロックへ送信するようになっている。

なお、上記図15に示したような構成例においては、前段の処理ブロックがイメージプロセス部6に対応し、後段の処理ブロックがJPEG処理部9に対応していて、これらの前段および後段の処理ブロックも、各チャンネル毎に処理を行うように構成されている。

歪補正処理部7には、制御レジスタ7aが付随して設けられており、CPU3からの該歪補正処理部7に対する設定値や各種データなどが上記歪補正処理部7A、7B、7Cへ設定され、同時に処理結果のステータスなどをCPU3から読み取ることができるようになっている。

上記歪補正処理部7の1つのチャンネルに係る部分の処理の概要は、上記図4および図5を参照して説明したのとほぼ同様である。

そして、このような処理を行うための1つのチャンネルに係る歪補正処理部7は、上記図2に示したものと同様である。

また、上記補間位置生成部21と歪補正座標変換部22とにおいて、座標を算出する際の基本的な数式と、それを変形することにより回路規模を縮小することができるようにした実用的な数式と、は、上述した第2の実施形態において、数式1～数式3および数式5～数式16を参照して説明したものと同様である。

このとき、上記数式16に示すように歪補正係数Fを算出するのは、後述する図26に示すような、上記歪補正座標変換部22の歪補正係数算出手段たる歪補正係数算出回路22aであるが、該図26に示す構成に代えて、後述する図28に示すような構成を用いても構わない。

さらに、上記数式12により歪補正処理前の着目点の座標（補間座標データ）（ X' ， Y' ）を算出するのは、後述する図29に示すような、上記歪補正座標変換部22の補間位置補正回路22bとなっている。

図22は、光学系により画像を撮影したときに発生する色収差の一例を示す図である。

この図22に示す例においては、糸巻き型の歪曲収差が発生するとともに、赤Rが歪中心から見て緑Gの内側に、青Bが歪中心から見て緑Gの外側に、それぞれずれるような色収差が発生している。そして、この色収差によるずれは、歪中心からの距離が遠いほど大きくなっている。

このように、色収差は各色毎に異なるために、補間処理も上記図21に示したように、

各色毎に行っている。図25は、上記歪補正処理部7のより詳細な構成を示すブロック図である。

上記歪補正処理部7AはCh. 0用歪補正回路7A1を、上記歪補正処理部7BはCh. 1用歪補正回路7B1を、上記歪補正処理部7CはCh. 2用歪補正回路7C1を、それぞれ歪補正演算手段として有して構成されている。

また、歪補正係数Fを算出するための歪補正係数算出回路22aは、上記歪補正座標変換部22の一部を構成するものであり、歪補正処理部7A、7B、7Cにおいて共通化することができるために、3つのチャンネルに共通な単一の回路として設けられていて、Ch. 0用の歪補正係数F0、Ch. 1用の歪補正係数F1、Ch. 2用の歪補正係数F2を算出して、上記Ch. 0用歪補正回路7A1、Ch. 1用歪補正回路7B1、Ch. 2用歪補正回路7C1へそれぞれ出力するようになっている。

また、歪補正処理や拡大縮小処理に係る補間処理を行った後に、後段の処理ブロックに対して画像データを出力する際には、該後段の処理ブロックの処理内容によっては、3つのチャンネルの画像データが同時に必要となる場合がある。ところが、上記図22に示したように、色収差がある場合には注目画素の位置が色によって異なるために、3つのデータが同時に揃って出力されるとは限らない。

これを図23および図24を参照して説明する。図23はBに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図、図24はR、G、Bのそれぞれに係る補間データを算出可能となった時点での内部メモリ部に蓄積された画像データの様子を示す図である。

3つのチャンネルで補間データの算出処理を同時に開始した場合には、前段の処理ブロックからの画像データが、各チャンネルの内部メモリ部25（後述する図29に示す2ポートSRAM25a）に順次記憶され始める。このときに、既にデータとして記憶されている部分が、斜線で示している部分である。図23に示す時点では、青Bに関する補間データの算出が可能なところまで画像データの蓄積が行われているが、緑Gおよび赤Rに関する補間データの算出を行うことができる量にはまだ至っていない。

また、図24に示す時点では、赤R、緑G、青Bに関する補間データの算出を行うことが可能なおとところまで画像データの蓄積が行われている。

このように、3つのチャンネルの補間データを算出可能になった時点で、後段の処理ブロックへの画像データの転送を許可するように同期させるのが、グラント同期手段たるグ

ラント同期回路27である。

Ch. 0がR、Ch. 1がG、Ch. 2がBである場合を例にとると、上記図23に示すような状態になったところで上記Ch. 0用歪補正回路7A1が歪補正処理の開始を要求する要求信号 $trok_0$ を出力し、図示はしないがCh. 1用歪補正回路7B1が歪補正処理可能となった時点で歪補正処理の開始を要求する要求信号 $trok_1$ を出力し、上記図24に示すような状態になったところでCh. 2用歪補正回路7C1が歪補正処理の開始を要求する要求信号 $trok_2$ を出力するようになっている。

グラント同期回路27は、これらの要求信号 $trok_0$ 、 $trok_1$ 、 $trok_2$ が全て揃った後に、すなわち、3つのチャンネルの全てで補間データを送信することが可能になったところで、後段の処理ブロックの、Ch. 0に係る処理を行う部分に対して許可信号 $GRANT_N0$ を、Ch. 1に係る処理を行う部分に対して許可信号 $GRANT_N1$ を、Ch. 2に係る処理を行う部分に対して許可信号 $GRANT_N2$ を、それぞれ出力するとともに、上記Ch. 0用歪補正回路7A1、Ch. 1用歪補正回路7B1、Ch. 2用歪補正回路7C1に対して後述するように歪補正処理を同時に開始させるよう制御するようになっている。

なお、該グラント同期回路27は、後述するように、内部にスイッチを有しており、3つのチャンネルの出力を同期させるか否かを切り換えることができるようになっている。

図26は、上記歪補正係数算出回路22aの構成を示すブロック図である。

この歪補正係数算出回路22aは、上記数式16によって、歪補正係数 F を算出するための歪補正係数算出手段であり、該数式16における光学系の光学的性質を反映する A （ドット）、 B （ドット）、 C （ドット）は、各チャンネル毎に、つまり例えばRGBの各色成分毎に、上記CPU3から制御レジスタ7aに設定されるようになっている。

なお、この図26および後述する図27、図28の図面中において、そして以下に示す図26から図28までの説明においては、 Z は数式10の左辺に示す Z （2ドット）のことを指し、係数 A 、 B 、 C は数式13の左辺に示す A （ドット）、 B （ドット）、 C （ドット）のことを指している。

歪補正係数算出回路22aは、上記グラント同期回路27から許可信号 e_grant が入力されたところで上記数式11に基づき補間座標 $X2$ 、 $Y2$ を算出する歪補正用座標算出回路31と、この歪補正用座標算出回路31により算出された補間座標 $X2$ を浮動小数に変換する浮動小数化回路32aと、上記歪補正用座標算出回路31により算出された

補間座標 Y 2 を浮動小数に変換する浮動小数化回路 3 2 b と、上記浮動小数化回路 3 2 a により浮動小数化された補間座標 X 2 を 2 乗する 2 乗計算器 3 3 a と、上記浮動小数化回路 3 2 b により浮動小数化された補間座標 Y 2 を 2 乗する 2 乗計算器 3 3 b と、上記 2 乗計算器 3 3 a により算出された補間座標 X 2 の 2 乗と上記 2 乗計算器 3 3 b により算出された補間座標 Y 2 の 2 乗とを加算することにより Z (より正確には、上述したように Z (2 ドット))。以下同様) の 2 乗を算出する加算器 3 4 と、この加算器 3 4 からの出力を 2 乗することにより Z の 4 乗を算出する 2 乗計算器 3 3 c と、上記加算器 3 4 からの出力を遅延させる遅延回路 3 5 b と、上記 2 乗計算器 3 3 c により算出された Z の 4 乗とこの遅延回路 3 5 b により遅延されタイミングを合わせて出力される Z の 2 乗とを乗算することにより Z の 6 乗を算出する乗算器 3 6 と、上記加算器 3 4 からの出力を遅延させるとともに上記 2 乗計算器 3 3 c からの出力を遅延させる遅延回路 3 5 a と、この遅延回路 3 5 a からタイミングを合わせて出力される Z の 2 乗および Z の 4 乗と上記乗算器 3 6 から出力される Z の 6 乗とを用いて Ch. 0 用, Ch. 1 用, Ch. 2 用の歪補正係数 F 0, F 1, F 2 をそれぞれ算出する距離依存係数算出回路 4 0 a, 4 0 b, 4 0 c と、を有して構成されている。

図 2 7 は上記距離依存係数算出回路 4 0 a, 4 0 b, 4 0 c の任意の 1 つである距離依存係数算出回路 4 0 の構成を示すブロック図である。

この距離依存係数算出回路 4 0 は、上記遅延回路 3 5 a から遅延されタイミングを合わせて出力される Z の 2 乗に上記 CPU 3 から制御レジスタ 7 a に設定される係数 A (より正確には、上述したように A (ドット))。以下同様) を乗算する乗算器 4 1 a と、上記遅延回路 3 5 a から遅延されタイミングを合わせて出力される Z の 4 乗に上記 CPU 3 から制御レジスタ 7 a に設定される係数 B (より正確には、上述したように B (ドット))。以下同様) を乗算する乗算器 4 1 b と、上記乗算器 3 6 から出力される Z の 6 乗に上記 CPU 3 から制御レジスタ 7 a に設定される係数 C (より正確には、上述したように C (ドット))。以下同様) を乗算する乗算器 4 1 c と、上記乗算器 4 1 a からの出力に上記 CPU 3 から制御レジスタ 7 a に設定される上記係数 A の符号 signA を与えて固定小数に変換する固定小数化回路 4 2 a と、上記乗算器 4 1 b からの出力に上記 CPU 3 から制御レジスタ 7 a に設定される上記係数 B の符号 signB を与えて固定小数に変換する固定小数化回路 4 2 b と、上記乗算器 4 1 c からの出力に上記 CPU 3 から制御レジスタ 7 a に設定される上記係数 C の符号 signC を与えて固定小数に変換する固定小数化回路 4 2

cと、上記固定小数化回路42aからの出力と上記固定小数化回路42bからの出力と上記固定小数化回路42cからの出力と上記CPU3から制御レジスタ7aに設定される定数1.0とを加算することにより上記数式16に基づく歪補正係数F（すなわち、歪補正係数F0, F1, F2の何れか）を算出する加算器43と、を有して構成されている。

なお、図26および図27において、2重線で示している部分が、浮動小数による演算処理を行っている部分であり、ダイナミックレンジの広いX2, Y2やZなどを浮動小数で扱うことにより、精度を保ちながら回路規模を縮小するようになっている。

このとき、上記図26に示したように、歪補正係数算出回路22aの一部、すなわち、歪補正用座標算出回路31、浮動小数化回路32a, 32b、2乗計算器33a, 33b, 33c、加算器34、遅延回路35a, 35b、乗算器36は、チャンネルによらない共通した部分として構成されている。これにより、さらに回路規模の縮小を図って、消費電力を低減することができるようになっている。

また、図28は、上記歪補正係数算出回路22aの構成の他の例を示すブロック図である。

この図28に示す歪補正係数算出回路22aは、上記歪補正用座標算出回路31と、上記浮動小数化回路32aと、上記浮動小数化回路32bと、上記2乗計算器33aと、上記2乗計算器33bと、上記加算器34と、この加算器34から出力される浮動小数化されたZ（より正確には、上述したようにZ（2ドット）。以下同様）の2乗を用いて参照を行うことにより固定小数化された歪補正係数F0, F1, F2をそれぞれ出力するLUT（ルックアップテーブル）39a, 39b, 39cと、を有して構成されている。

この図28においても、2重線で示している部分が、浮動小数による演算処理を行っている部分である。

このように、この図28に示す構成例は、ルックアップテーブルを用いることにより、歪補正係数F0, F1, F2を算出するための処理時間を短縮し回路の消費電力を低減するものとなっている。

なお、この構成例を適用する場合には、チャンネル毎の上記係数A, B, CはCPU3から設定されるものではなく、固定値となっている。もちろん、ルックアップテーブルの規模が大きくなっても構わない場合には、上記係数A, B, Cの複数の組み合わせに対応するルックアップテーブルをチャンネル毎に用意しておいて、適切なものを用いるようにしても構わない。

次に、図29は、上記Ch. 0用歪補正回路7A1の構成を示すブロック図である。Ch. 1用歪補正回路7B1、Ch. 2用歪補正回路7C1の構成も、このCh. 0用歪補正回路7A1の構成と同様であるために、ここではCh. 0用歪補正回路7A1についてのみ説明する。

補間位置算出回路21aは、上記着目点の座標(X_1 , Y_1)を上述したように算出するためのものであり、上記補間位置生成部21に対応する回路部分である。

補間位置補正回路22bは、上記歪補正係数算出回路22aにより算出された歪補正係数 F_0 を用いて上記数式12に示したように歪補正処理前の着目点の座標(X' , Y')を算出するためのものであり、上記歪補正座標変換部22の一部となっている。

上記セクタ23は、歪補正処理を行わない場合には(拡大縮小処理を行うか否かに関わらず)上記補間位置算出回路21aからの座標(X_1 , Y_1)を選択し、歪補正処理を行う場合には(拡大縮小処理を伴うか否かに関わらず)上記補間位置補正回路22bからの座標(X' , Y')を選択するものである。

このセクタ23により選択された座標(X_1 , Y_1)または座標(X' , Y')には、制御レジスタ7aを介して上記CPU3により設定される歪中心位置の座標(X_d , Y_d)が、加算器27a, 27bによりそれぞれ加算されるようになっている。

これら加算器27a, 27bの出力は、読出しアドレス生成回路24aとバッファ開放量算出回路24cとへ出力されるようになっている。

この読出しアドレス生成回路24aには、さらに、上記補間位置算出回路21aにより算出された座標(X_1 , Y_1)も上記セクタ23を介する経路とは別途に入力されるようになっている。そして、該読出しアドレス生成回路24aは、この座標(X_1 , Y_1)に関連する画素データ(16点補間を行う場合には、該座標(X_1 , Y_1)を中心とする16個の画素データ)が記憶されているアドレスADRを2ポートSRAM25aに出力するとともに、補間係数(例えば、上記数式5に示したような補間係数 $k_{x0} \sim k_{x3}$, $k_{y0} \sim k_{y3}$)と出力する画素データがD0 ~ D15のどの位置の画素データであるかを示すデータ列制御信号とを補間回路26aに出力するようになっている。さらに、該読出しアドレス生成回路24aは、書き込み許可信号WE_N0を後段のCh. 0に対応する処理ブロックへ出力する。

上記2ポートSRAM25aは、上記図2に示した内部メモリ部25に対応する回路部分である。

補間回路26aは、上記図2に示した補間演算部26に対応するものであり、上記2ポートSRAM25aから読み出された画像データを用いて上記数式5に示したような補間処理を行い、処理後の画像データを後段の処理ブロックに出力するものである。

上記バッファ開放量算出回路24cは、上記補間位置算出回路21aからの出力と、上記加算器27a、27bを介した上記セクタ23からの出力と、に基づいて、上記2ポートSRAM25aにおいて開放可能な記憶容量（バッファ開放量）を算出するものである。

バッファ空き容量監視回路24dは、このバッファ開放量算出回路24cの出力を参照して、上記2ポートSRAM25aの空き容量の状況を把握するものである。

書き込みアドレス生成回路24bは、前段の処理ブロックからのCh. 0に係る画像データを受けて、上記2ポートSRAM25aに記録するものである。

データ送信可否判定回路24fは、Ch. 0に係る後段の処理ブロックからの画像データを要求する要求信号REQ__N0を受けて、上記書き込みアドレス生成回路24bとバッファ開放量算出回路24cとの出力に基づき画像データの送信が可能であるか否かを判断し、可能である場合に要求信号t r o k__0を上記グラント同期回路27へ出力するものである。

次に、この図29に示したような歪補正処理部7の動作について説明する。

バッファ空き容量監視回路24dは、バッファ開放量算出回路24cを介して2ポートSRAM25aの空き容量を監視し、所定の空き容量があると、Ch. 0に係る前段の処理ブロックに対して所定のブロック単位の画像データ（以下、適宜、ユニットライン（UL）データという。）を送信するように要求信号REQ__0を出す（ステップS21）。

Ch. 0に係る前段の処理ブロックは、この要求信号REQ__0を受けて、画像データが送信可能になったところで許可信号GRANT__0を送信し、上記バッファ空き容量監視回路24dは、この許可信号GRANT__0を受信する（ステップS22）。

該バッファ空き容量監視回路24dは、2ポートSRAM25aの空き容量を、内部に保持するカウンタで把握するようになっており、許可信号GRANTを受信すると同時に、この内部カウンタの値を1つ減らす。該バッファ空き容量監視回路24dは、この内部カウンタが0になったら、上記要求信号REQ__0を取り下げるように動作する（ステップS23）。

そして、Ch. 0に係る前段の処理ブロックから、書き込み許可信号WE__0が書き込み

アドレス生成回路24bに入力され、続いて画像データが入力される。これに応じて、書込みアドレス生成回路24bは、制御信号を2ポートSRAM25aへ出力して、画像データDATAを該2ポートSRAM25aの、アドレスADDRESSで指定される領域に書き込む。また、書込みアドレス生成回路24bは、1ULデータが入力される毎に、BLCカウンタ（内部バッファである2ポートSRAM25aにどれだけのデータが溜められたかを示すカウンタ）をアップして、データ送信可否判定回路24fへ出力する（ステップS24）。

データ送信可否判定回路24fは、Ch. 0に係る後段の処理ブロックから要求信号REQ_N0を受信すると、次に送信することができるULデータが2ポートSRAM25a内にあるか否かを判定し、あると判定した場合には、要求信号t_r o k_0を上記グラント同期回路27へ送信する（ステップS25）。

グラント同期回路27は、後述するように、画像データの送信条件が整ったところで各チャンネルに係る後段の処理ブロックおよび各チャンネルに係る補間位置算出回路21aに対して許可信号GRANT_N0, GRANT_N1, GRANT_N2を出力する。

Ch. 0に係る補間位置算出回路21aは、この許可信号GRANT_N0を受けて動作を開始し、補間位置である座標(X1, Y1)の算出動作を1UL分行ったところで、次のUL先頭座標を算出して終了する（ステップS26）。

上記グラント同期回路27は、補間位置算出回路21aが動作を開始して座標(X1, Y1)を出力するのと同期して歪補正係数算出回路22aが歪補正係数F0を出力することができるようなタイミングで、許可信号e_g r a n tを該歪補正係数算出回路22aへ出力する（ステップS27）。

歪補正係数算出回路22aは、許可信号e_g r a n tを受けると、各チャンネルに係る歪補正係数F0, F1, F2を上記数式16に基づき算出し、各チャンネルの補間位置補正回路22bへ出力する。この歪補正係数算出回路22aも、上記補間位置算出回路21aと同様に、1UL分の動作を行ったところで、次のUL先頭座標を算出して終了する（ステップS28）。

Ch. 0に係る補間位置補正回路22bは、この歪補正係数算出回路22aから受け取った歪補正係数F0と、上記補間位置算出回路21aから受け取った座標(X1, Y1)と、を用いて、上記数式12に基づき座標(X', Y')を算出する。この補間位置補正回路22bも、上記歪補正係数算出回路22aに従って、1UL分の動作を行ったところ

で、次のUL先頭座標を算出して終了する（ステップS29）。

セクタ23は、上記制御レジスタ7aを介して上記CPU3により設定された動作モードに従って、歪補正処理を行う場合には上記補間位置補正回路22bからの座標（ X' ， Y' ）を選択し、歪補正処理を行わない場合には上記補間位置算出回路21aからの座標（ $X1$ ， $Y1$ ）を選択する（ステップS30）。

加算器27a，27bは、このセクタ23により選択された座標（ $X1$ ， $Y1$ ）または座標（ X' ， Y' ）に、歪中心位置の座標（ X_d ， Y_d ）をそれぞれ加算する（ステップS31）。

読み出しアドレス生成回路24aは、加算器27a，27bから受け取った座標に基づいて、補間に用いるために2ポートSRAM25aから読み出す画素データのアドレスADRを該2ポートSRAM25aに出力するとともに、補間係数とデータ列制御信号とを補間回路26aに出力する（ステップS32）。

補間回路26aは、読み出しアドレス生成回路24aから受け取った補間係数およびデータ列制御信号と、2ポートSRAM25aから受け取った画素データと、を用いて、上記数式5に示すように、補間された画素データを算出し、Ch. 0に係る後段の処理ブロックへ出力する（ステップS33）。

バッファ開放量算出回路24cは、上記補間位置算出回路21aおよび加算器27a，27bの出力に基づいて、ULデータを最後まで出力したことが確認されたら、今処理を終えたUL先頭座標と、次のUL先頭座標との差を計算して、必要なくなったデータが蓄積されているバッファ（2ポートSRAM25a内の領域）を開放するために、バッファ開放量をバッファ空き容量監視回路24dへ出力するとともに、次のUL処理を行うために後どれだけのデータをCh. 0に係る前段の処理ブロックから受けることが必要であるかを、上記データ送信可否判定回路24fへ送信する（ステップS34）。

バッファ空き容量監視回路24dは、上記ステップS34において内部バッファである2ポートSRAM25aに記憶領域の空きができたことが確認されたところで、上記ステップS21へ戻って、上述したような処理を繰り返して行う（ステップS35）。

データ送信可否判定回路24fは、上記書込みアドレス生成回路24bからのBLCカウンタの値と、バッファ開放量算出回路24cからの出力と、に基づいて、次のULデータを後段の処理ブロックに送信することができるか否かを判定し、送信できると判定した場合には、上記ステップS25の処理を行う（ステップS36）。

図30はグラント同期回路27の構成を示すブロック図、図31はグラント同期回路27の動作を説明するためのタイミングチャートである。

まず、上記制御レジスタ7aを参照することにより得られるDT_ONは、歪補正を行うか否かを示すブール値を保持するものであり、0（偽）の場合にはローレベル、1（真）の場合にはハイレベルの信号として取得されるように構成されている。

このグラント同期回路27は、Ch. 0用歪補正回路7A1からの要求信号trok__0とCh. 1用歪補正回路7B1からの要求信号trok__1とCh. 2用歪補正回路7C1からの要求信号trok__2との論理積をとるためのAND回路51と、上記要求信号trok__0, trok__1, trok__2とAND回路51の出力との立ち上がりを検出するための微分回路52と、DT_ONがローレベルである場合には要求信号trok__0に係る微分回路52の出力側に接続され該DT_ONがハイレベルである場合には上記AND回路51に係る微分回路52の出力側に接続されるように切り換えられるスイッチ53aと、DT_ONがローレベルである場合には要求信号trok__1に係る微分回路52の出力側に接続され該DT_ONがハイレベルである場合には上記AND回路51に係る微分回路52の出力側に接続されるように切り換えられるスイッチ53bと、DT_ONがローレベルである場合には要求信号trok__2に係る微分回路52の出力側に接続され該DT_ONがハイレベルである場合には上記AND回路51に係る微分回路52の出力側に接続されるように切り換えられるスイッチ53cと、上記AND回路51に係る微分回路52の出力とDT_ONとの論理積をとって上記歪補正係数算出回路22aの歪補正用座標算出回路31へ許可信号e_grantとして出力するAND回路54と、を有して構成されている。

このようなグラント同期回路27の動作は、次のようになっている。

まず、DT_ONがローレベルであるとき、つまり歪補正を行わない場合には、上記スイッチ53a, 53b, 53cは、要求信号trok__0, trok__1, trok__2に係る検出する微分回路52の出力側にそれぞれ切り換えられている。

このときに、図31の左側に示すように、要求信号trok__0にハイレベルの信号が入力されると、微分回路52でその立ち上がりが検出されて、GRANT_N0として出力される。次に、要求信号trok__1にハイレベルの信号が入力されると、微分回路52でその立ち上がりが検出されて、GRANT_N1として出力され、さらにその後、要求信号trok__2にハイレベルの信号が入力されると、微分回路52でその立ち上が

りが検出されて、GRANT_N2として出力される。このように、DT_ONがローレベルであるときには、3つのチャンネルからの画像データの出力は、各チャンネル毎にそれぞれのタイミングで行われる。

また、DT_ONがローレベルとなっているときには、AND回路51の出力如何に関わらず、AND回路54の出力はローレベルのままとなり、許可信号e_grantは出力されない（あるいは不許可の出力となる）ために、上記歪補正係数算出回路22aは歪補正係数F0, F1, F2の算出を行わない。従って、各チャンネルに係る補間位置補正回路22bも動作せず、結局、歪補間処理は行われなくなる。

次に、DT_ONがハイレベルであるとき、つまり歪補正を行う場合には、上記スイッチ53a, 53b, 53cは、AND回路51に係る微分回路52の出力側に切り換えられている。

このときに、図31の右側に示すように、要求信号trok_0にハイレベルの信号が入力されても、その時点では、要求信号trok_1, trok_2はローレベルのままであるために、該AND回路51の出力はローレベルのまま維持される。

その後、要求信号trok_0がハイレベルであって、かつ要求信号trok_1がハイレベルとなった時点でも、要求信号trok_2がローレベルである間は、AND回路51の出力はローレベルのままである。

そして、要求信号trok_0, trok_1, trok_2の全てがハイレベルとなった時点で、AND回路51の出力がハイレベルとなり、微分回路52でその立ち上がりが検出される。

この微分回路52の出力は、許可信号GRANT_N0, GRANT_N1, GRANT_N2として同時に出力されるとともに、AND回路54にも出力されて、ハイレベルとなっているDT_ONと論理積がとられ、許可信号e_grantとして上記歪補正係数算出回路22aへ出力される。

このようにして、DT_ONがハイレベルであるときには、3つのチャンネルからの画像データの出力は、同期したタイミングで行われる。

このような第3の実施形態によれば、上述した第1, 第2の実施形態とほぼ同様の効果を奏するとともに、歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置となる。

特に、歪補正係数算出回路の少なくとも一部を複数のチャンネルに対して共通化するこ

とにより、回路規模を効果的に小さくし、低消費電力化を図ることができる。このとき、ダイナミックレンジが広い数を浮動小数として扱って演算を行っているために、精度を保ちながら回路規模を縮小することが可能となる。そして、歪補正係数をルックアップテーブルを参照して求める場合には、処理時間を短縮しながら回路規模を縮小することが可能となる。

また、グラント同期回路を設けて、各チャンネルからの画像データ出力を同時に行うことができるようにしたために、後段の処理ブロックにおいて複数チャンネルの画像データを同時に必要とする場合に良好に対応することができる。このとき、グラント同期回路は、スイッチングにより複数チャンネルの画像データがそれぞれのタイミングで出力されるように処理することも可能であるために、必要に応じた選択を行うことが可能となる。

加えて、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するようにしたために、補間位置生成部や歪補正座標変換部の内部に設ける乗算器の個数を削減することができ、回路規模の縮小を図ることができる。

さらに、拡大縮小処理も、歪補正処理と同一の回路で同時に行うことが可能となる利点がある。

なお、本発明は上述した実施形態に限定されるものではなく、発明の主旨を逸脱しない範囲内において種々の変形や応用が可能であることは勿論である。

産業上の利用可能性

以上説明したように本発明の画像処理装置によれば、バスのデータ転送量やメモリ容量を増大させることなく、画像処理を行うことができる。

また、拡大縮小処理と歪補正処理とを行い得る回路規模が小さく低消費電力な画像処理装置となる。

さらに、歪補正と色収差補正とを行い得る回路規模が小さく低消費電力な画像処理装置となる。

請 求 の 範 囲

1. 光学系を介して撮像することにより得られた電子的な画像データであって、画素データが行方向および列方向に2次元的に配列された画像データ、を処理する画像処理装置において、

上記画像データを、少なくとも画像処理を行う前に格納するとともに、画像処理を行った後にも格納し得るメモリと、

上記画像データの上記2次元的な配列におけるブロックを単位として、上記メモリからバスを介して該ブロック内の画素データを行方向に読み出し、その後、該ブロック内の画素データを列方向に出力する第1のデータ順序変換部と、

上記第1のデータ順序変換部と上記バスとは異なる情報伝達経路でパイプライン処理可能なように接続されていて、該第1のデータ順序変換部から列方向に出力される画像データを入力して画像処理した後に該列方向に出力する画像処理部と、

上記画像処理部とパイプライン処理可能なように接続されていて、該画像処理部から列方向に出力される画像データを、行方向の画像データに変換して出力する第2のデータ順序変換部と、

を具備したことを特徴とする画像処理装置。

2. 上記第1のデータ順序変換部は、上記メモリから読み出すブロック単位の画像データの行方向のサイズと列方向のサイズとの少なくとも一方を変更し得るものであることを特徴とする請求の範囲第1項に記載の画像処理装置。

3. 上記画像処理を行う前の画像データは、光学系により結像された被写体光像を撮像手段により光電変換して出力される撮像データと、該撮像データに圧縮処理を除く所定の処理を必要に応じて施した非圧縮画像データと、上記撮像データに圧縮処理を除く所定の処理を必要に応じて施した後に圧縮処理した圧縮画像データと、の内の何れかであることを特徴とする請求の範囲第1項に記載の画像処理装置。

4. 上記画像処理を行う前の画像データは、光学系により結像された被写体光像を撮像手段により光電変換して出力される撮像データと、該撮像データに圧縮処理を除く所定の処理を必要に応じて施した非圧縮画像データと、上記撮像データに圧縮処理を除く所定の処理を必要に応じて施した後に圧縮処理した圧縮画像データと、の内の何れかであることを特徴とする請求の範囲第2項に記載の画像処理装置。

5. 上記画像処理部は、上記光学系に起因する歪曲収差を補正するための歪補正処理部を有して構成されたものであることを特徴とする請求の範囲第1項に記載の画像処理装置。
6. 上記画像処理部は、上記光学系に起因する歪曲収差を補正するための歪補正処理部を有して構成されたものであることを特徴とする請求の範囲第4項に記載の画像処理装置。
7. 上記歪補正処理部は、
補間座標を生成する補間座標生成部と、
上記画像データの一部を記憶するための内部メモリ部と、
上記補間座標生成部により生成された補間座標に基づき上記内部メモリ部に記憶された画像データから該補間座標の画素データを生成する補間演算部と、
を有して構成されたものであることを特徴とする請求の範囲第5項に記載の画像処理装置。
8. 上記歪補正処理部は、
補間座標を生成する補間座標生成部と、
上記画像データの一部を記憶するための内部メモリ部と、
上記補間座標生成部により生成された補間座標に基づき上記内部メモリ部に記憶された画像データから該補間座標の画素データを生成する補間演算部と、
を有して構成されたものであることを特徴とする請求の範囲第6項に記載の画像処理装置。
9. 上記補間座標生成部は、
歪補正後の画像において補間の対象とする画素の座標を生成する補間位置生成部と、
この補間位置生成部により生成された座標に対応する、歪補正前の画像における座標を求める歪補正座標変換部と、
を有して構成されたものであることを特徴とする請求の範囲第7項に記載の画像処理装置。
10. 上記補間座標生成部は、
歪補正後の画像において補間の対象とする画素の座標を生成する補間位置生成部と、
この補間位置生成部により生成された座標に対応する、歪補正前の画像における座標を求める歪補正座標変換部と、

を有して構成されたものであることを特徴とする請求の範囲第8項に記載の画像処理装置。

11. 上記補間座標生成部は、さらに、上記補間位置生成部により生成された座標と、上記歪補正座標変換部により求められた座標と、の何れかを選択して上記補間演算部へ出力するセクタを有して構成されたものであることを特徴とする請求の範囲第9項に記載の画像処理装置。

12. 上記補間座標生成部は、さらに、上記補間位置生成部により生成された座標と、上記歪補正座標変換部により求められた座標と、の何れかを選択して上記補間演算部へ出力するセクタを有して構成されたものであることを特徴とする請求の範囲第10項に記載の画像処理装置。

13. 上記歪補正座標変換部は、上記補間位置生成部により生成された座標に対応する、歪補正前の画像における座標を、歪中心から補間位置までの距離の整数乗を線形結合して得られる多項式を含む所定の補正式を用いて求めるものであることを特徴とする請求の範囲第9項に記載の画像処理装置。

14. 上記歪補正座標変換部は、上記補間位置生成部により生成された座標に対応する、歪補正前の画像における座標を、歪中心から補間位置までの距離の整数乗を線形結合して得られる多項式を含む所定の補正式を用いて求めるものであることを特徴とする請求の範囲第10項に記載の画像処理装置。

15. 上記歪補正座標変換部は、上記補間位置生成部により生成された座標に対応する、歪補正前の画像における座標を、歪中心から補間位置までの距離の整数乗を線形結合して得られる多項式を含む所定の補正式を用いて求めるものであることを特徴とする請求の範囲第11項に記載の画像処理装置。

16. 上記歪補正座標変換部は、上記補間位置生成部により生成された座標に対応する、歪補正前の画像における座標を、歪中心から補間位置までの距離の整数乗を線形結合して得られる多項式を含む所定の補正式を用いて求めるものであることを特徴とする請求の範囲第12項に記載の画像処理装置。

17. 上記多項式は、上記距離の2次項を越える高次項を含んだものであることを特徴とする請求の範囲第13項に記載の画像処理装置。

18. 上記多項式は、上記距離の2次項を越える高次項を含んだものであることを特徴とする請求の範囲第14項に記載の画像処理装置。

19. 上記多項式は、上記距離の2次項を越える高次項を含んだものであることを特徴とする請求の範囲第15項に記載の画像処理装置。

20. 上記多項式は、上記距離の2次項を越える高次項を含んだものであることを特徴とする請求の範囲第16項に記載の画像処理装置。

21. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第13項に記載の画像処理装置。

22. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第14項に記載の画像処理装置。

23. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第15項に記載の画像処理装置。

24. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第16項に記載の画像処理装置。

25. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第17項に記載の画像処理装置。

26. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成

されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第18項に記載の画像処理装置。

27. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第19項に記載の画像処理装置。

28. 上記画像処理部は、上記歪補正処理部以外の他の画像処理部をさらに含んで構成されており、

上記歪補正座標変換部は、上記歪中心から補間位置までの距離に関する情報を、上記他の画像処理部へ出力するものであることを特徴とする請求の範囲第20項に記載の画像処理装置。

29. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第21項に記載の画像処理装置。

30. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第22項に記載の画像処理装置。

31. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第23項に記載の画像処理装置。

32. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第24項に記載の画像処理装置。

33. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第25項に記載の画像処理装置。

34. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、

エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第2・6項に記載の画像処理装置。

35. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第2・7項に記載の画像処理装置。

36. 上記他の画像処理部は、シェーディング補正部と、ローパスフィルタ処理部と、エッジ強調処理部と、の内の1つ以上を含むものであることを特徴とする請求の範囲第2・8項に記載の画像処理装置。

37. 光学系を介して撮像することにより得られた電子的な画像データに、歪補正処理および拡大縮小処理を含む画像処理を行い得る画像処理装置であって、

歪補正処理と拡大縮小処理とを含み得る画像処理に係る補間処理を行った後の画素位置に対応する補間処理前の座標データである補間座標データを生成するための補間座標生成部と、

上記画像データの少なくとも一部を格納するためのメモリ部と、

上記補間座標データに基づいて、上記画像データの一部を上記メモリ部に書き込む制御と該メモリ部から読み出す制御とを行うメモリ制御部と、

上記メモリ制御部の制御により上記メモリ部から読み出された画像データを補間演算することにより、補間処理を行った後の画素位置における画像データを生成する補間演算部と、

を有して構成される歪補正処理部を具備したことを特徴とする画像処理装置。

38. 上記補間座標生成部は、

歪補正処理を含まず拡大縮小処理を含み得る画像処理に係る補間処理を行った後の画素位置に対応する補間処理前の座標データである補間位置を生成する補間位置生成部と、

上記補間位置生成部により生成された補間位置を用いて、歪補正処理を含み得る画像処理に係る補間処理を行った後の画素位置に対応する補間処理前の座標データである補間座標データを生成する歪補正座標変換部と、

歪補正処理を行わない場合には上記補間位置生成部の出力を選択し、歪補正処理を行う場合には上記歪補正座標変換部の出力を選択して、上記メモリ制御部へ出力するセレクトと、

を有して構成されたものであることを特徴とする請求の範囲第3・7項に記載の画像処理

装置。

39. 上記歪補正座標変換部は、

上記光学系の歪曲収差による座標の変化を示す係数である歪補正係数を算出する歪補正係数算出回路と、

上記歪補正係数算出回路により算出された歪補正係数を用いて、上記補間位置生成部により生成された補間位置を補正することにより上記補間座標データを生成する補間位置補正回路と、

を有して構成されたものであることを特徴とする請求の範囲第38項に記載の画像処理装置。

40. 上記歪補正処理部は、クロックを供給されることにより動作を行うものであって、

該歪補正処理部における上記歪補正座標変換部は、該歪補正処理部における該歪補正座標変換部以外の部分に供給されるクロックとは異なるクロックが供給され得るように構成されていることを特徴とする請求の範囲第38項に記載の画像処理装置。

41. 上記歪補正処理部は、クロックを供給されることにより動作を行うものであって、

該歪補正処理部における上記歪補正座標変換部は、該歪補正処理部における該歪補正座標変換部以外の部分に供給されるクロックとは異なるクロックが供給され得るように構成されていることを特徴とする請求の範囲第39項に記載の画像処理装置。

42. 上記歪補正処理部は、クロックを供給されることにより動作を行うものであって、

上記補間位置生成部、または該補間位置生成部および上記歪補正座標変換部は、補間位置の生成、または補間位置の生成および補間座標データの生成を、毎クロックではない隔クロックに行い得るように構成されたものであることを特徴とする請求の範囲第38項に記載の画像処理装置。

43. 上記歪補正処理部は、クロックを供給されることにより動作を行うものであって、

上記補間位置生成部、または該補間位置生成部および上記歪補正座標変換部は、補間位置の生成、または補間位置の生成および補間座標データの生成を、毎クロックではない隔クロックに行い得るように構成されたものであることを特徴とする請求の範囲第39項に

記載の画像処理装置。

44. 上記歪補正処理部は、クロックを供給されることにより動作を行うものであって

、
上記補間位置生成部、または該補間位置生成部および上記歪補正座標変換部は、補間位置の生成、または補間位置の生成および補間座標データの生成を、毎クロックではない隔クロックに行い得るように構成されたものであることを特徴とする請求の範囲第40項に記載の画像処理装置。

45. 上記歪補正処理部は、クロックを供給されることにより動作を行うものであって

、
上記補間位置生成部、または該補間位置生成部および上記歪補正座標変換部は、補間位置の生成、または補間位置の生成および補間座標データの生成を、毎クロックではない隔クロックに行い得るように構成されたものであることを特徴とする請求の範囲第41項に記載の画像処理装置。

46. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第38項に記載の画像処理装置。

47. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第39項に記載の画像処理装置。

48. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第40項に記載の画像処理装置。

49. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第41項に記載の画像処理装置。

50. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第42項に記載の画像処理装置。

51. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたもの

であることを特徴とする請求の範囲第43項に記載の画像処理装置。

52. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第44項に記載の画像処理装置。

53. 上記歪補正座標変換部は、基本的な数式に基づく場合よりも乗算の回数が減るように変形した実用的な数式に基づいて、補間座標データを生成するように構成されたものであることを特徴とする請求の範囲第45項に記載の画像処理装置。

54. 上記歪補正係数算出回路は、上記歪補正係数を、歪補正後の画像内の注目画素に対応する位置と歪中心位置との間の距離に基づいて算出するものであって、該算出における演算処理の少なくとも一部を浮動小数演算により行うように構成されていることを特徴とする請求の範囲第39項に記載の画像処理装置。

55. 上記歪補正係数算出回路は、上記距離の2乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを有して構成されており、

該距離の2乗値を上記浮動小数演算により求めて、求めた距離の2乗値に基づき該ルックアップテーブルを参照することにより上記歪補正係数を求めるものであることを特徴とする請求の範囲第54項に記載の画像処理装置。

56. 光学系を介して撮像することにより得られた電子的な画像データであって、複数の成分で構成される画像データ、を処理する画像処理装置において、

上記光学系に起因する歪曲収差を補正するのに用いるための歪補正係数を、歪中心位置からの距離に基づき、上記成分毎に算出する歪補正係数算出部と、

上記歪補正係数算出部により算出された成分毎の歪補正係数を用いて、上記画像データを成分毎に歪補正する歪補正演算部と、

を有して構成される歪補正処理部を具備したことを特徴とする画像処理装置。

57. 上記歪補正演算部は、上記画像データを構成する全ての成分に一对一に対応して複数設けられたものであることを特徴とする請求の範囲第56項に記載の画像処理装置。

58. 上記歪補正演算部は、画像データを記憶するための内部バッファを有して構成されるとともに、歪補正処理を行うに必要な画像データが該内部バッファに蓄積された段階で歪補正処理開始要求を出力するものであり、

上記複数の歪補正演算部の全てからの歪補正処理開始要求が揃った後に、これら全ての歪補正演算部に対して歪補正処理を開始させるように制御するグラント同期部をさらに具

備したことを特徴とする請求の範囲第57項に記載の画像処理装置。

59. 上記グラント同期部は、歪補正係数の算出処理を許可するための許可信号を上記歪補正係数算出部に出力して、該歪補正係数算出部による全ての成分に係る歪補正係数の算出を開始させることにより、全ての歪補正演算部に対して歪補正処理を開始させるように制御するものであることを特徴とする請求の範囲第58項に記載の画像処理装置。

60. 上記歪補正係数算出部は、その少なくとも一部が、上記成分毎の歪補正係数を算出する際に全ての成分に対して共通に用いられる部分として構成されたものであることを特徴とする請求の範囲第56項に記載の画像処理装置。

61. 上記歪補正係数算出部は、その少なくとも一部が、上記成分毎の歪補正係数を算出する際に全ての成分に対して共通に用いられる部分として構成されたものであることを特徴とする請求の範囲第57項に記載の画像処理装置。

62. 上記歪補正係数算出部は、その少なくとも一部が、上記成分毎の歪補正係数を算出する際に全ての成分に対して共通に用いられる部分として構成されたものであることを特徴とする請求の範囲第58項に記載の画像処理装置。

63. 上記歪補正係数算出部は、その少なくとも一部が、上記成分毎の歪補正係数を算出する際に全ての成分に対して共通に用いられる部分として構成されたものであることを特徴とする請求の範囲第59項に記載の画像処理装置。

64. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値を算出して、該2乗値に基づき上記歪補正係数を成分毎に求めるものであり、

上記全ての成分に対して共通に用いられる部分は、この歪中心位置からの距離の2乗値を算出する部分であることを特徴とする請求の範囲第60項に記載の画像処理装置。

65. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値を算出して、該2乗値に基づき上記歪補正係数を成分毎に求めるものであり、

上記全ての成分に対して共通に用いられる部分は、この歪中心位置からの距離の2乗値を算出する部分であることを特徴とする請求の範囲第61項に記載の画像処理装置。

66. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値を算出して、該2乗値に基づき上記歪補正係数を成分毎に求めるものであり、

上記全ての成分に対して共通に用いられる部分は、この歪中心位置からの距離の2乗値を算出する部分であることを特徴とする請求の範囲第62項に記載の画像処理装置。

67. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値を算出して、該2

乗値に基づき上記歪補正係数を成分毎に求めるものであり、

上記全ての成分に対して共通に用いられる部分は、この歪中心位置からの距離の2乗値を算出する部分であることを特徴とする請求の範囲第63項に記載の画像処理装置。

68. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを上記成分毎に有して構成されており、

上記算出した距離の2乗値に基づき上記成分毎のルックアップテーブルを参照することにより、上記歪補正係数を成分毎に求めるものであることを特徴とする請求の範囲第64項に記載の画像処理装置。

69. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを上記成分毎に有して構成されており、

上記算出した距離の2乗値に基づき上記成分毎のルックアップテーブルを参照することにより、上記歪補正係数を成分毎に求めるものであることを特徴とする請求の範囲第65項に記載の画像処理装置。

70. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを上記成分毎に有して構成されており、

上記算出した距離の2乗値に基づき上記成分毎のルックアップテーブルを参照することにより、上記歪補正係数を成分毎に求めるものであることを特徴とする請求の範囲第66項に記載の画像処理装置。

71. 上記歪補正係数算出部は、上記歪中心位置からの距離の2乗値と上記歪補正係数との対応関係を記憶するルックアップテーブルを上記成分毎に有して構成されており、

上記算出した距離の2乗値に基づき上記成分毎のルックアップテーブルを参照することにより、上記歪補正係数を成分毎に求めるものであることを特徴とする請求の範囲第67項に記載の画像処理装置。

図 1

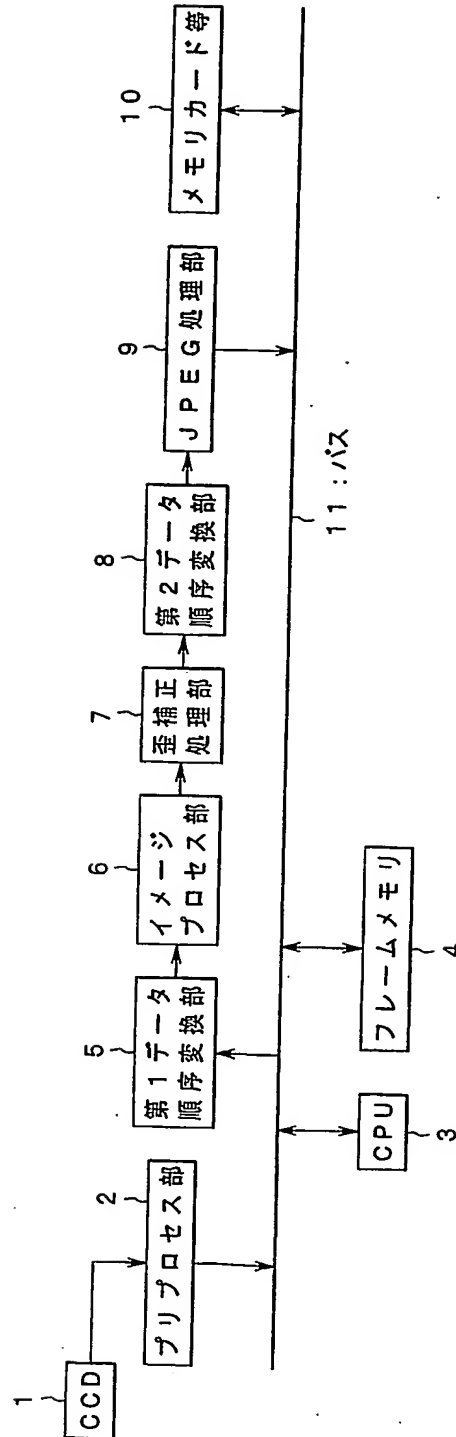


図 2

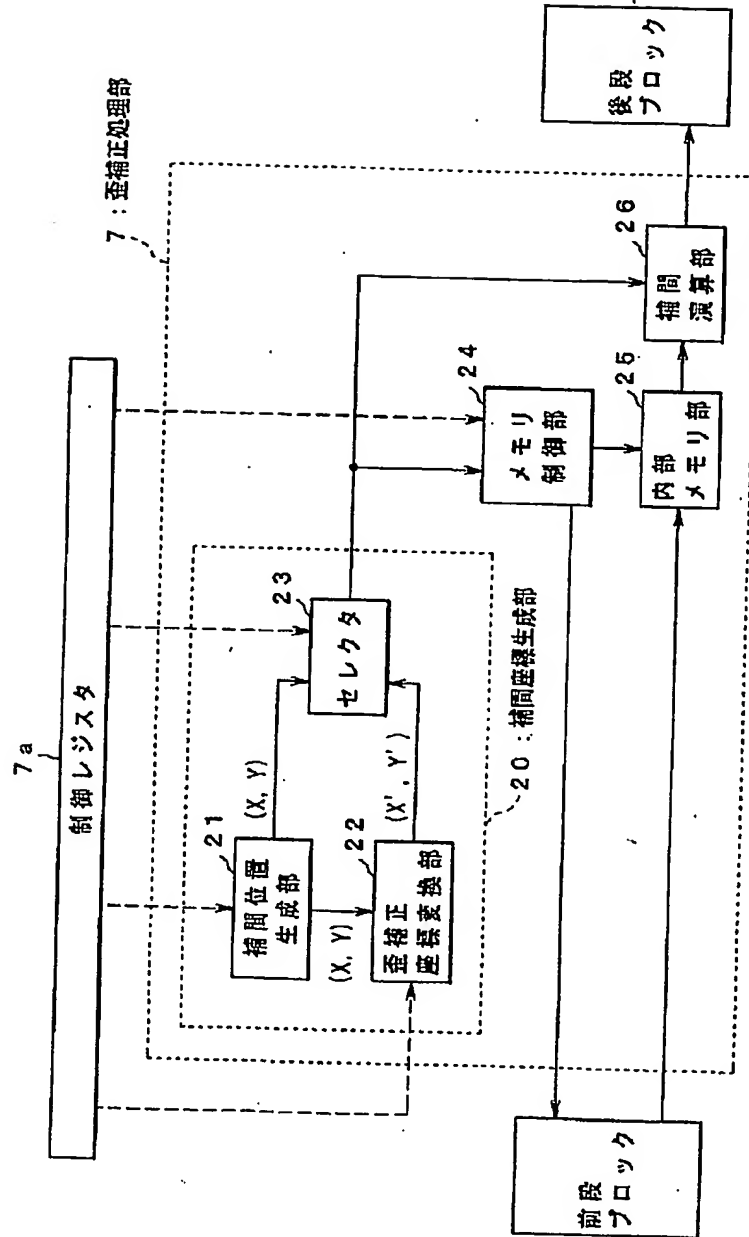


図 3

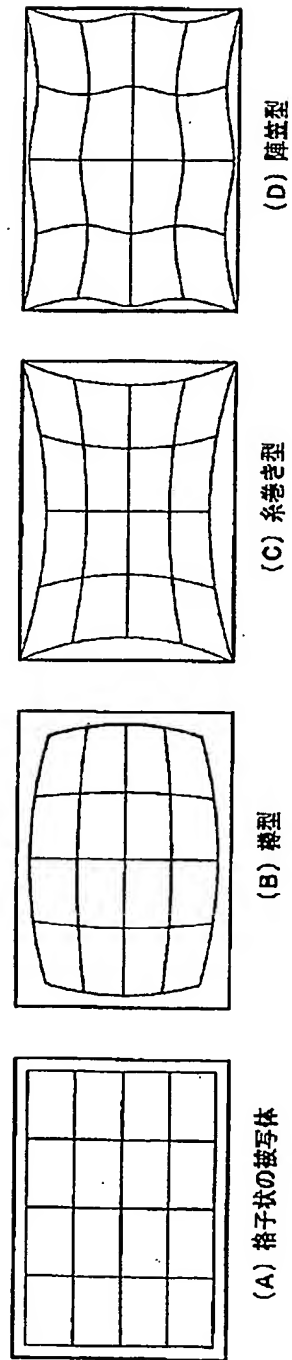


図 4

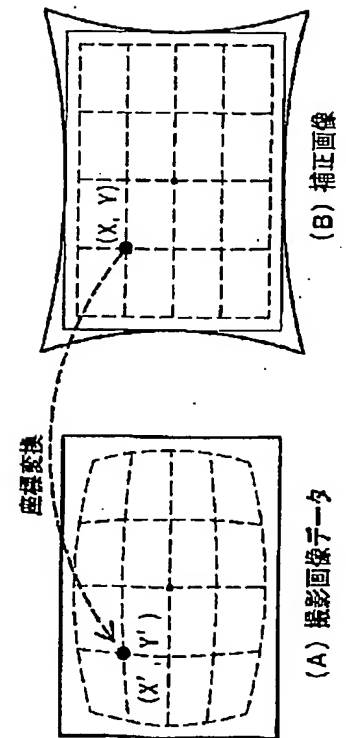


图 5

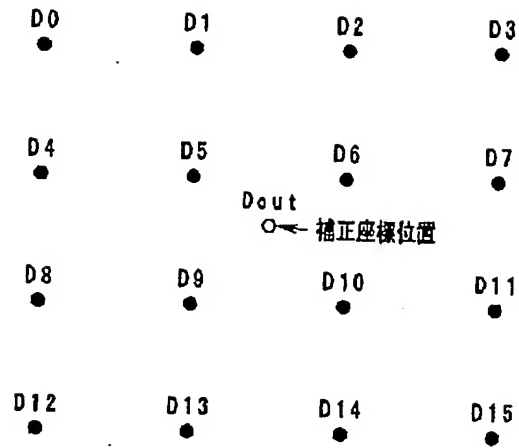


図 6

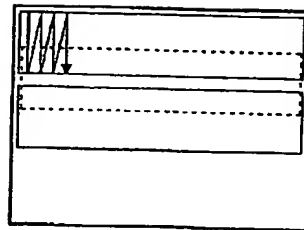


図 7

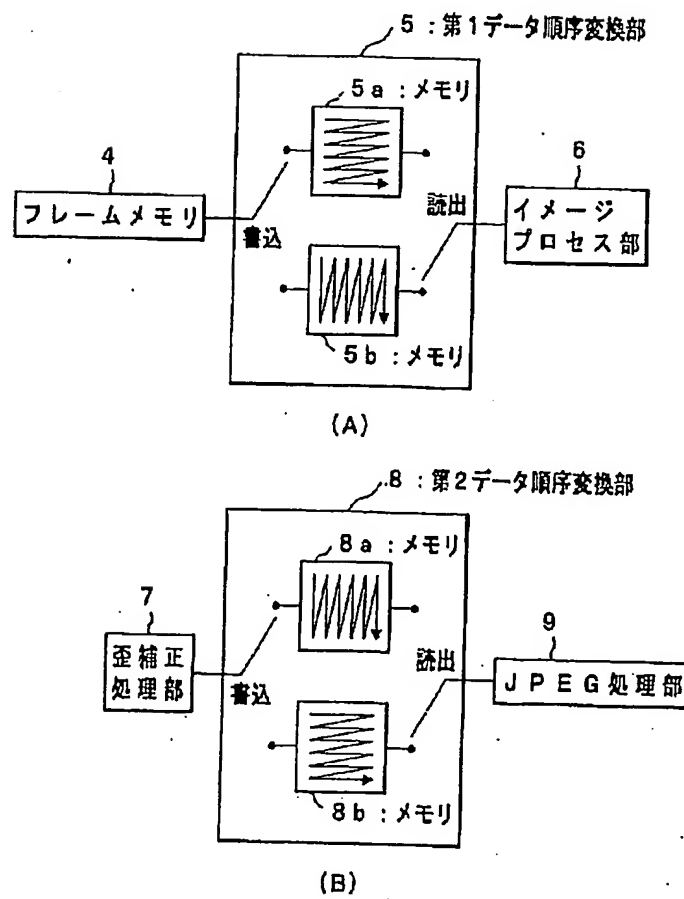


図 8

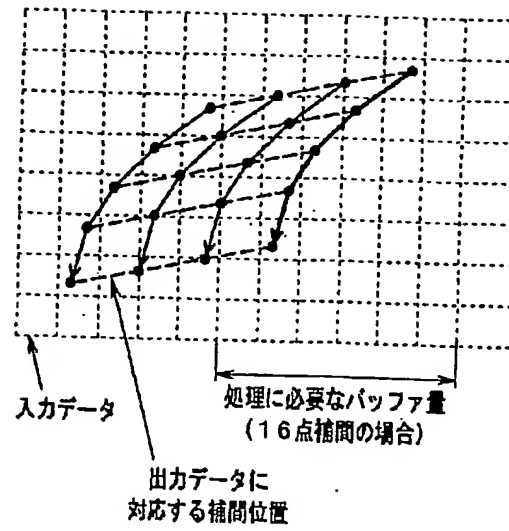


図 9

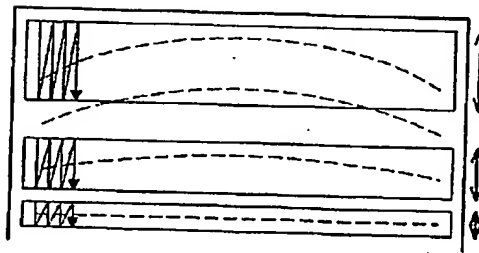


図 10

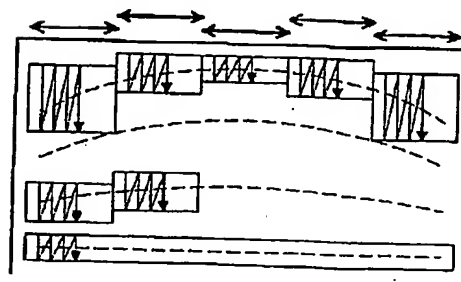


図 11

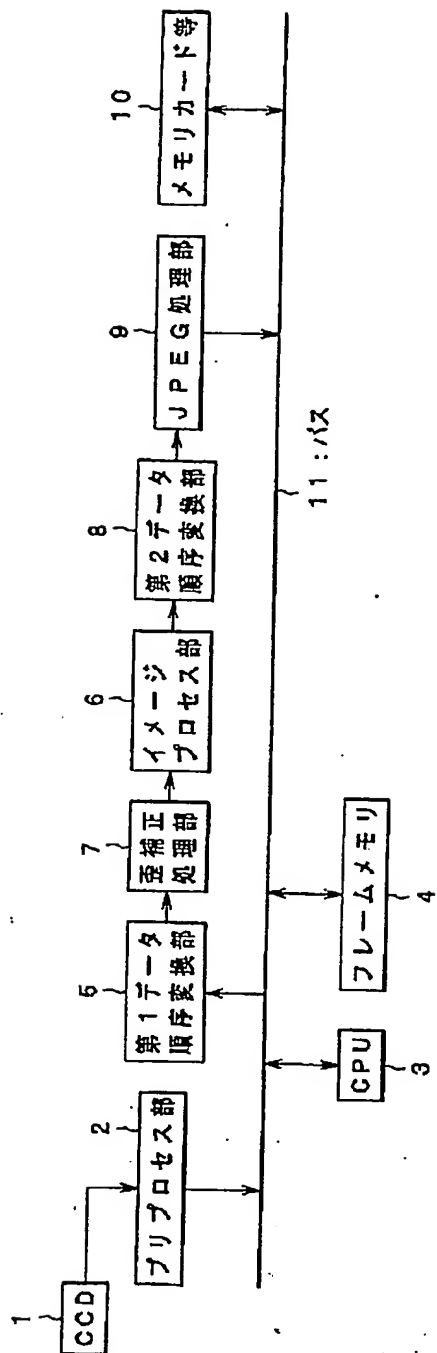


図 12

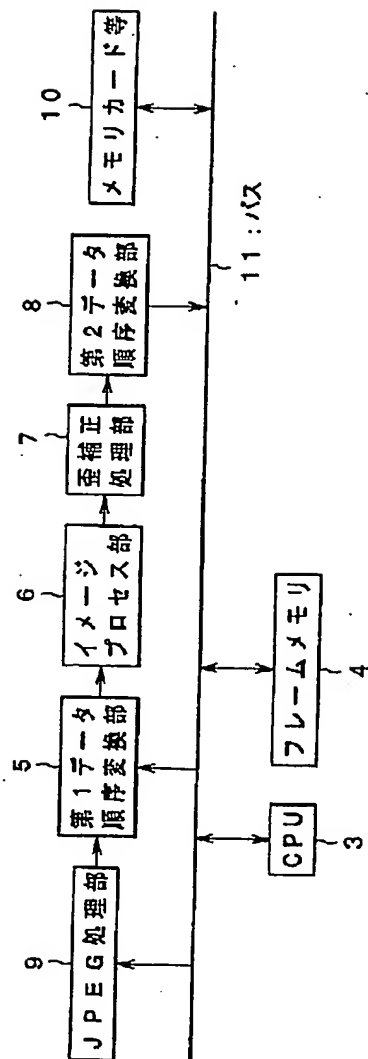


図 1 3

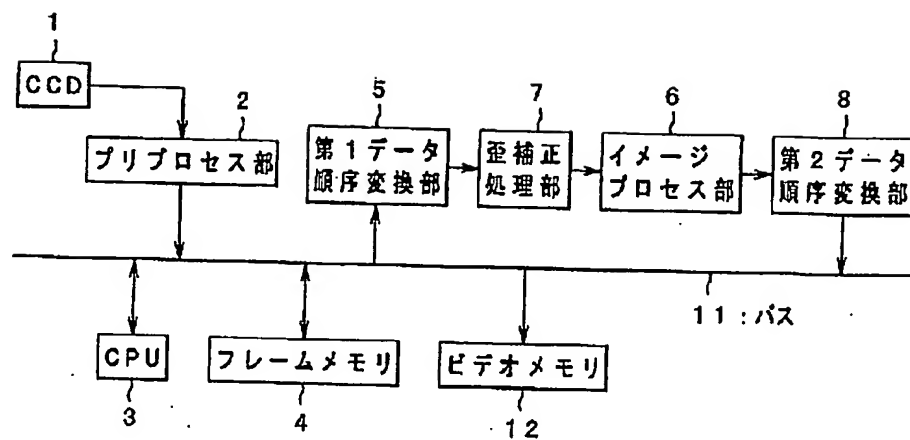


図 14

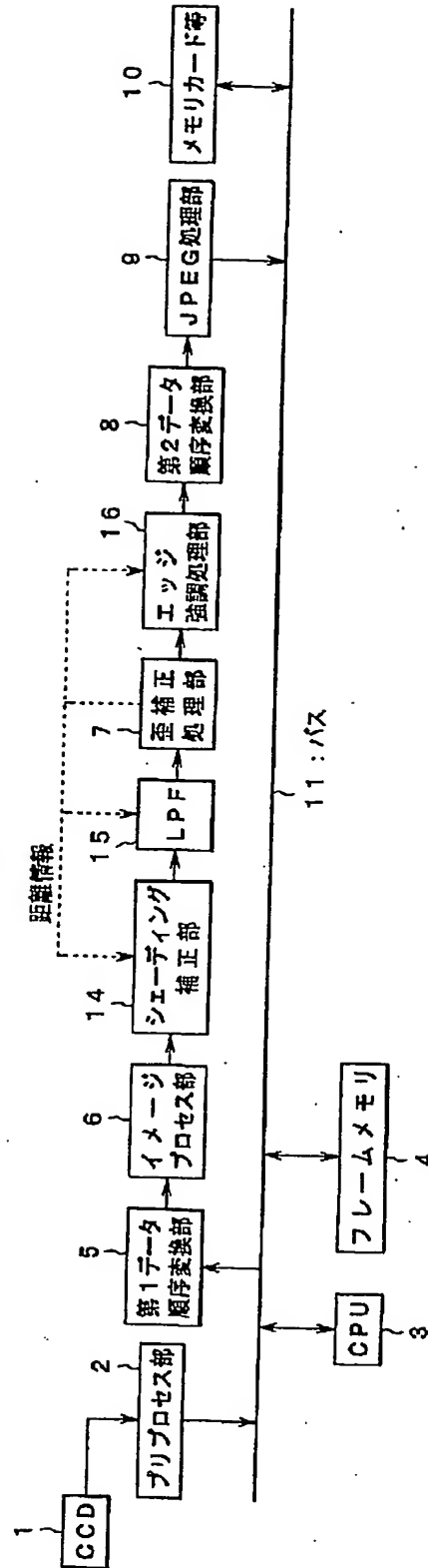


図 1 5

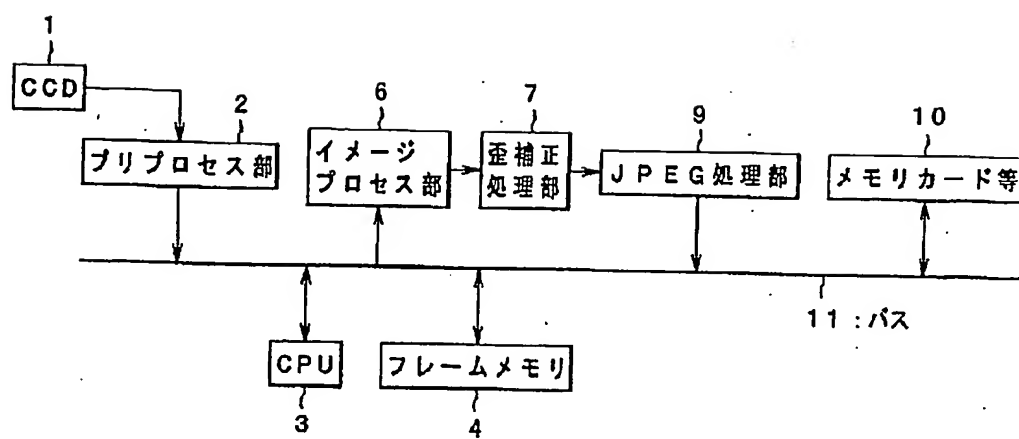


図 16

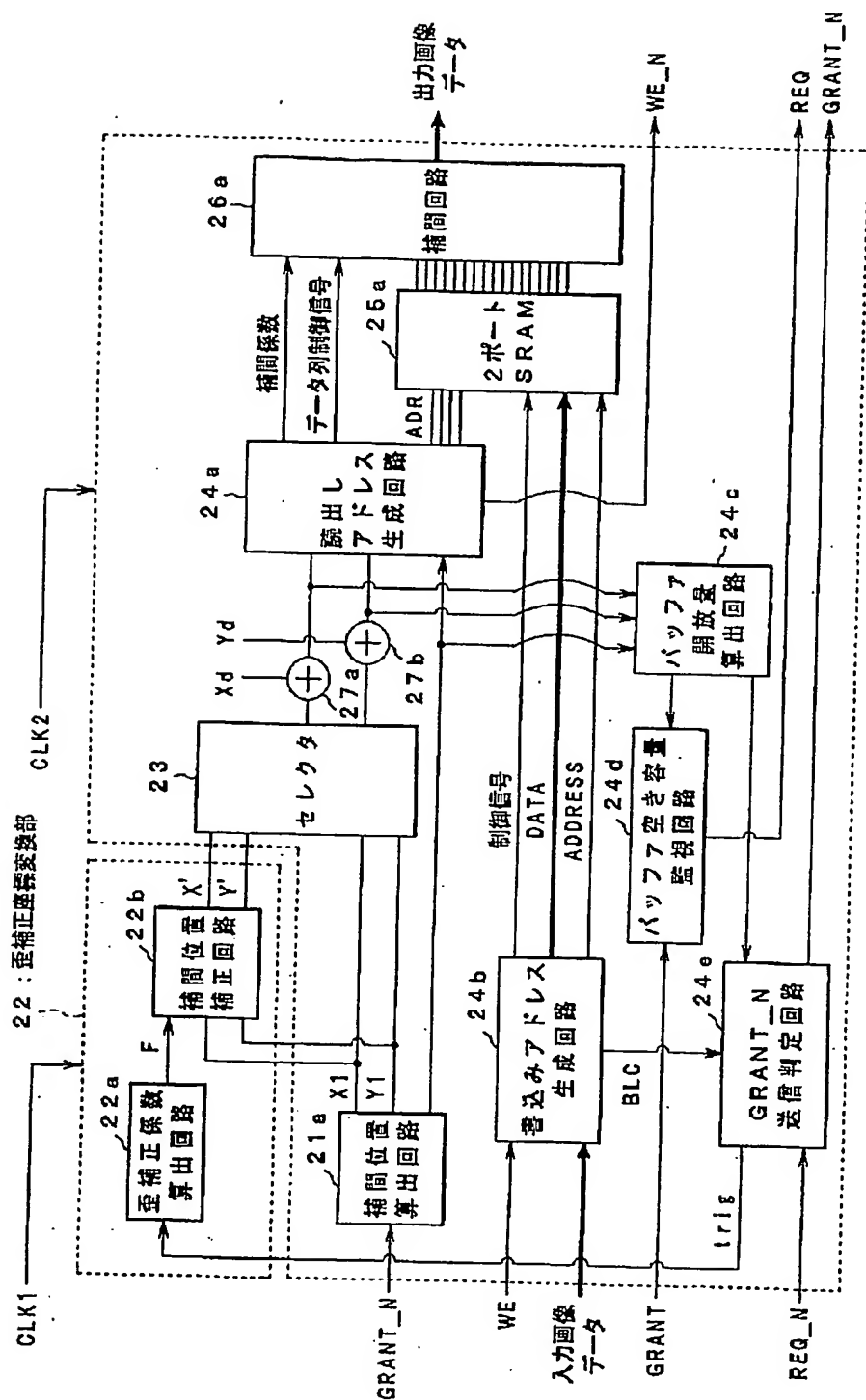


图 17

22a : 歪補正係數算出回路

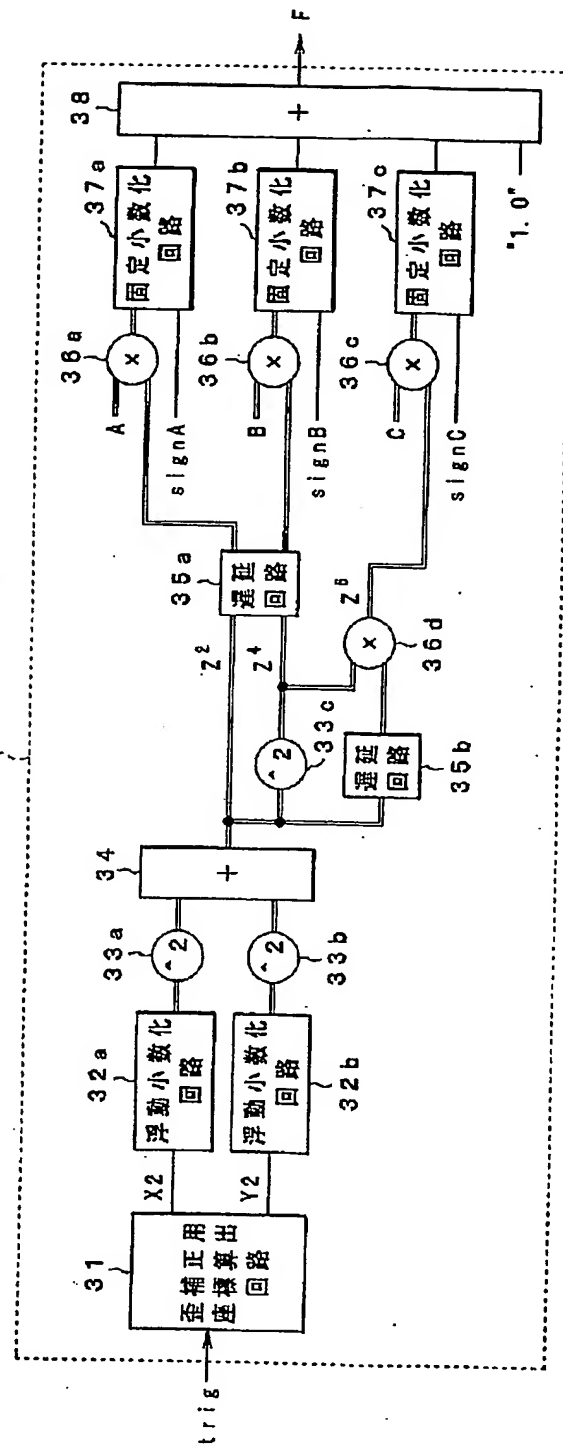


図 18

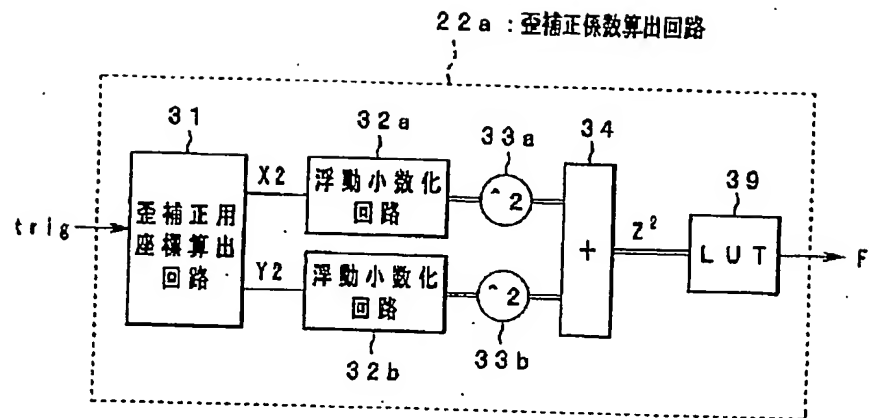


図 19

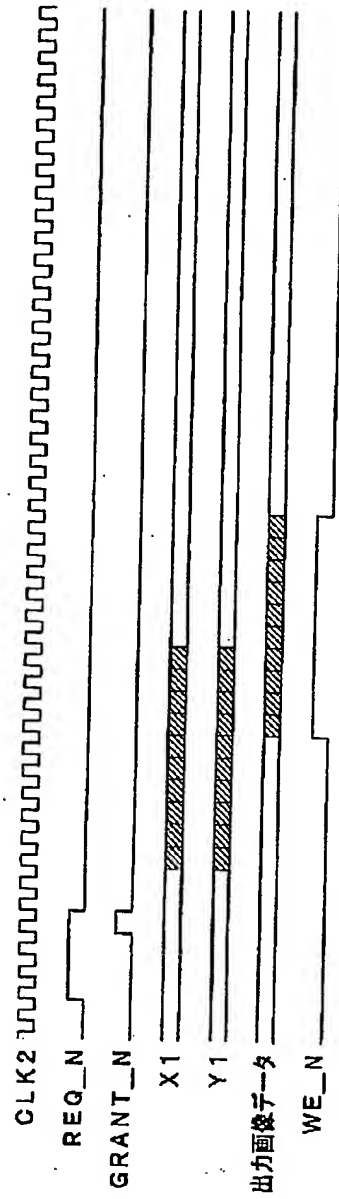


図 20

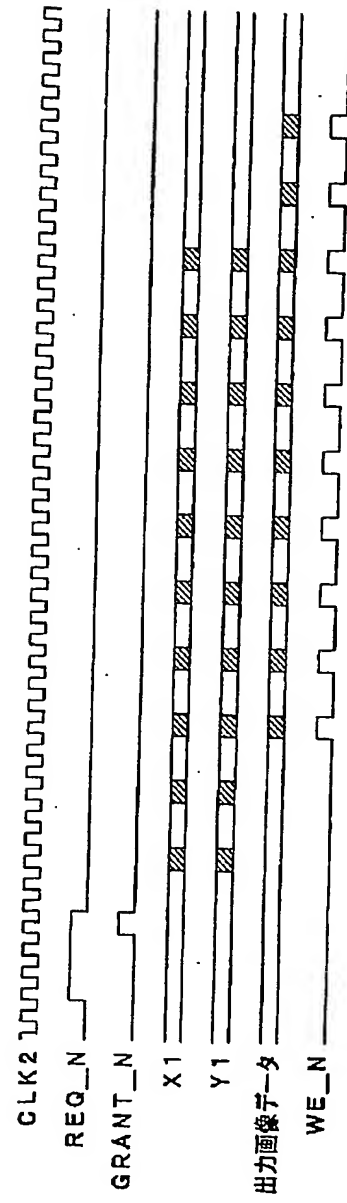


図 2 1

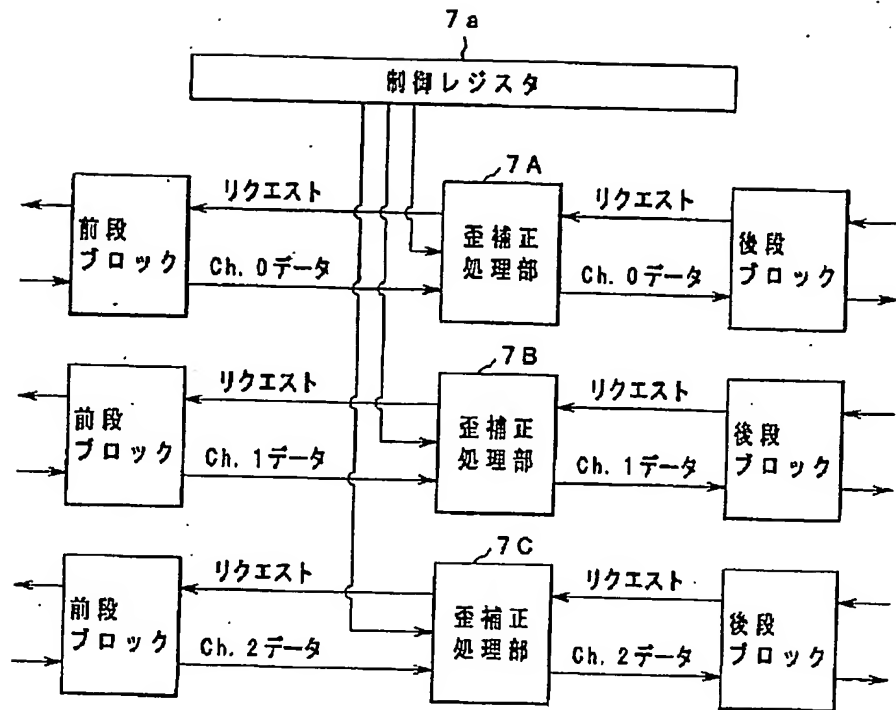


図 2 2

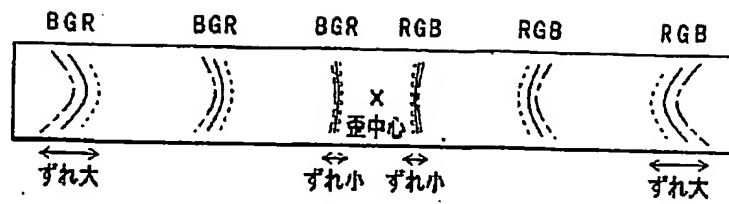


図 2 3

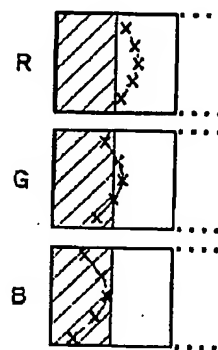


図 2 4

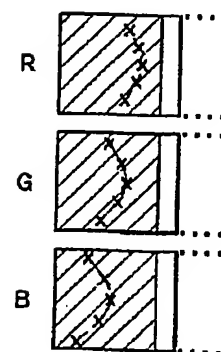


図 25

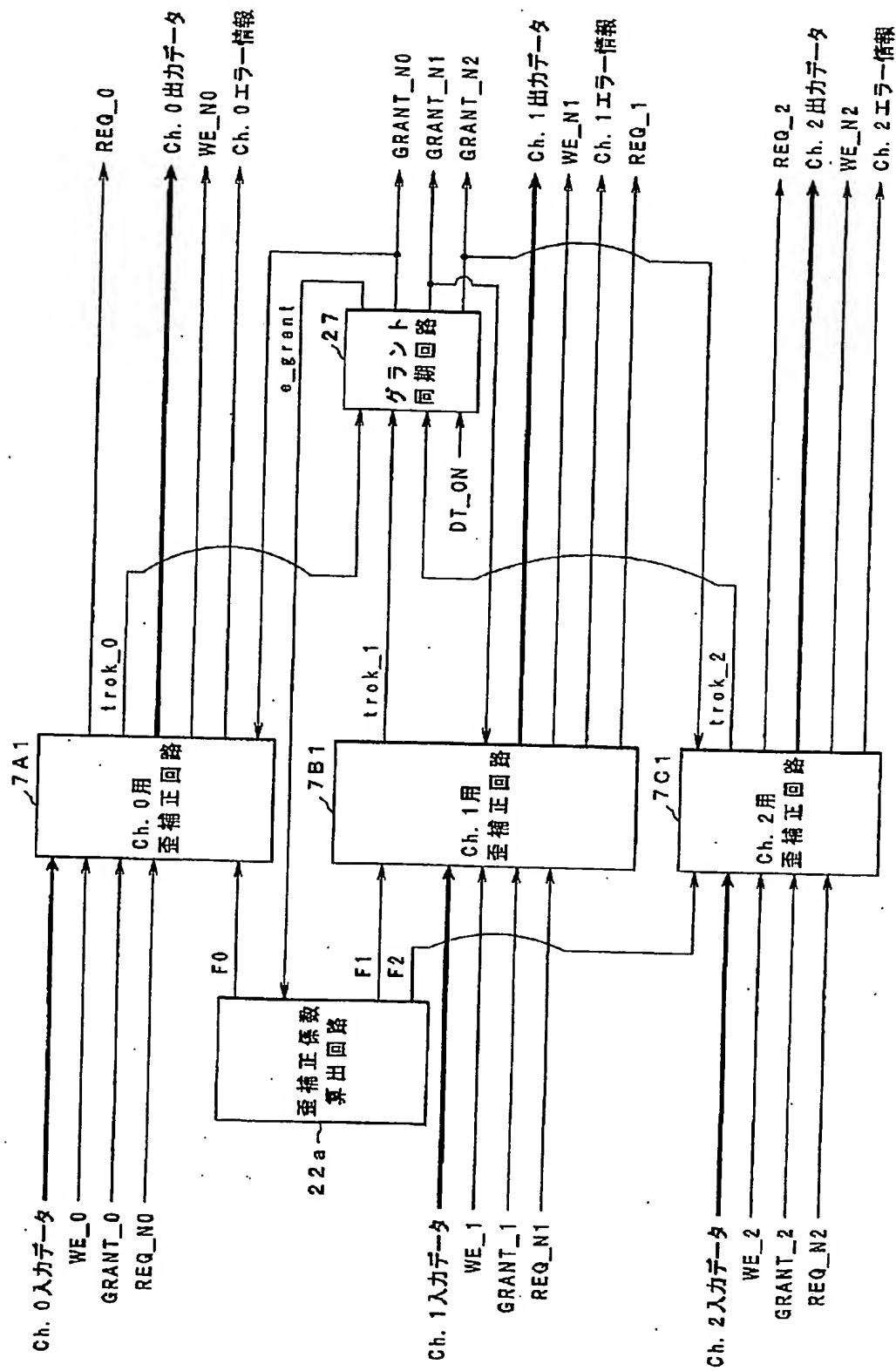


図 26

22a : 歪補正係数算出回路

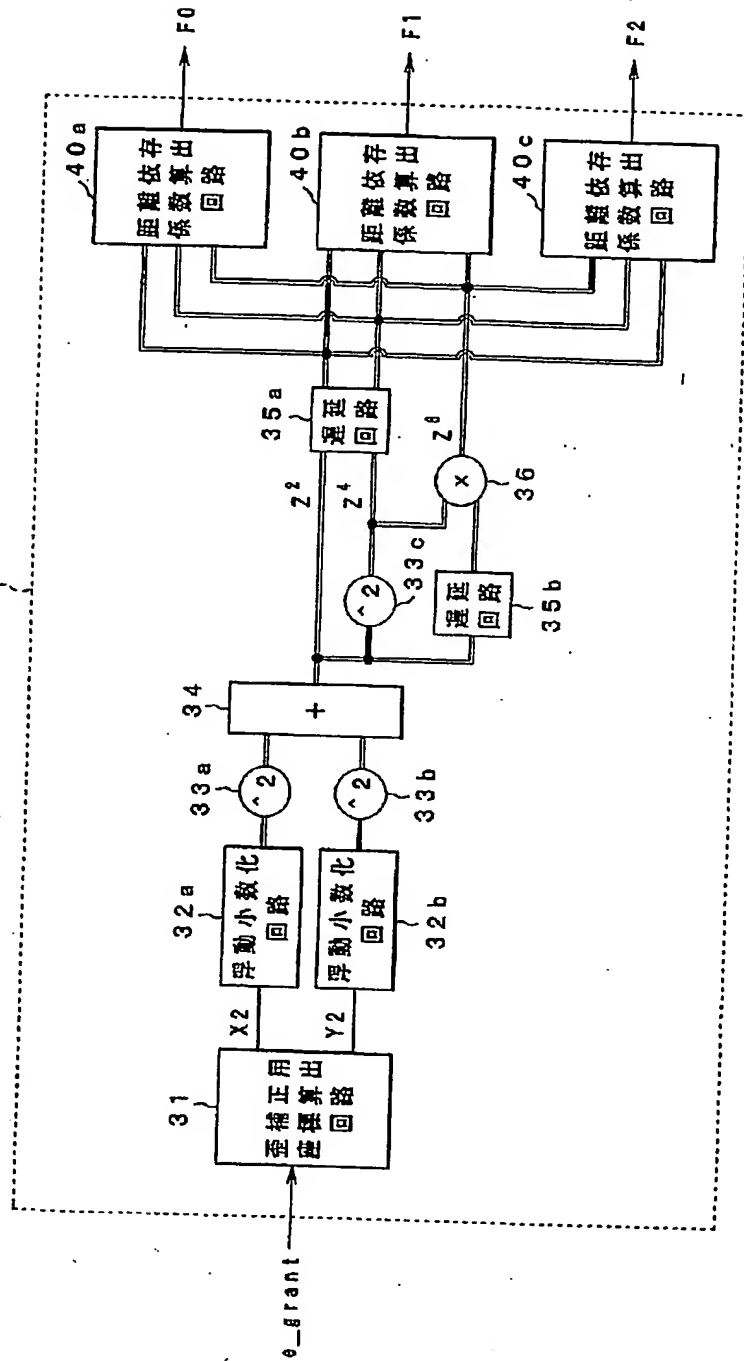


图 2 7

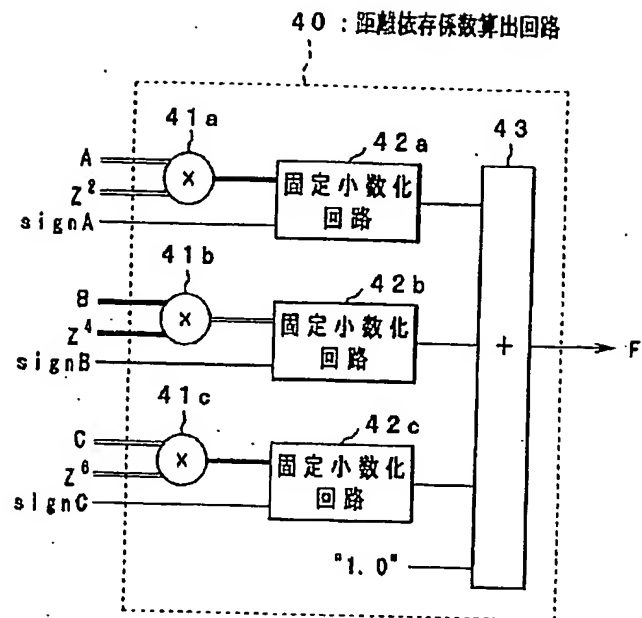
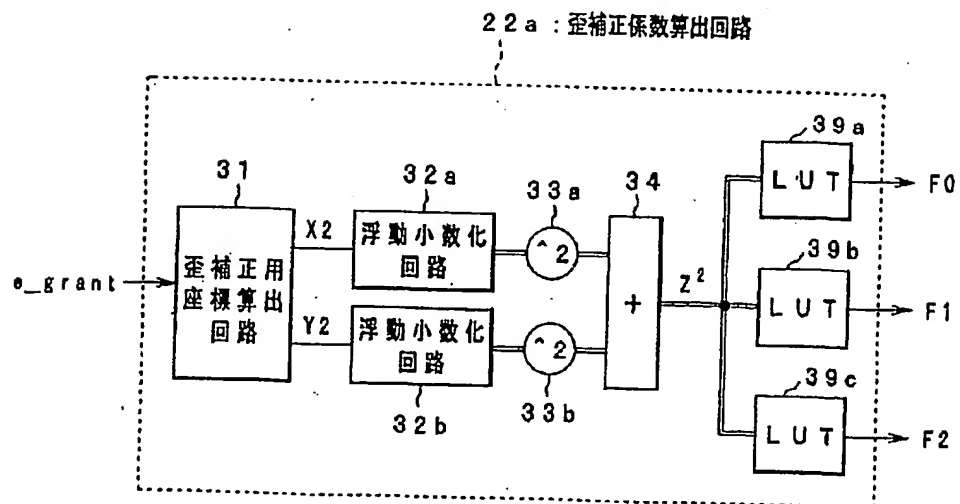


图 2 8



29

7A1:Ch. 0用歪補正回路

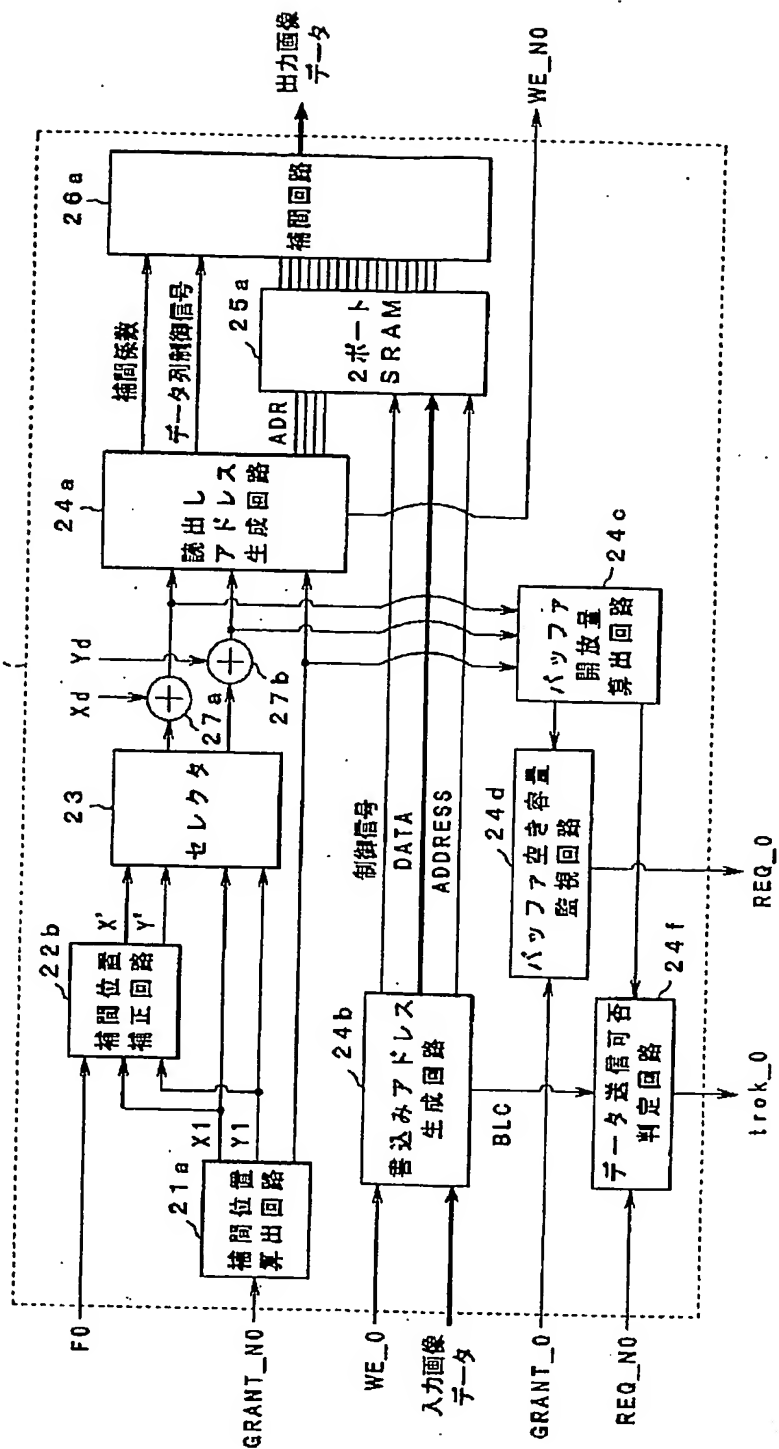


図 3 0

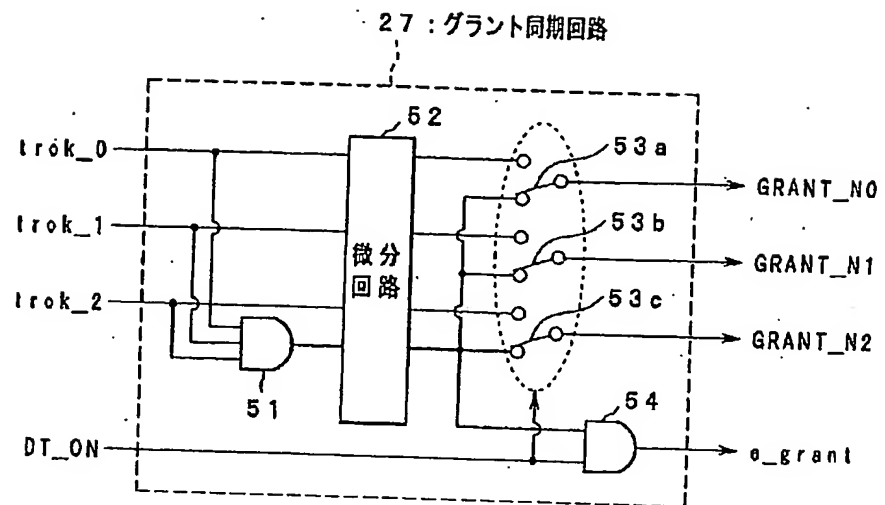


図 3 1

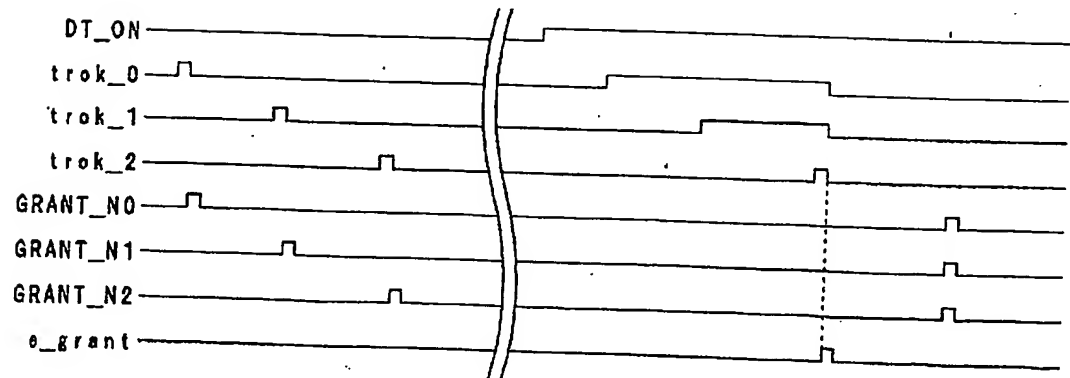


図 3 2



図 3 3

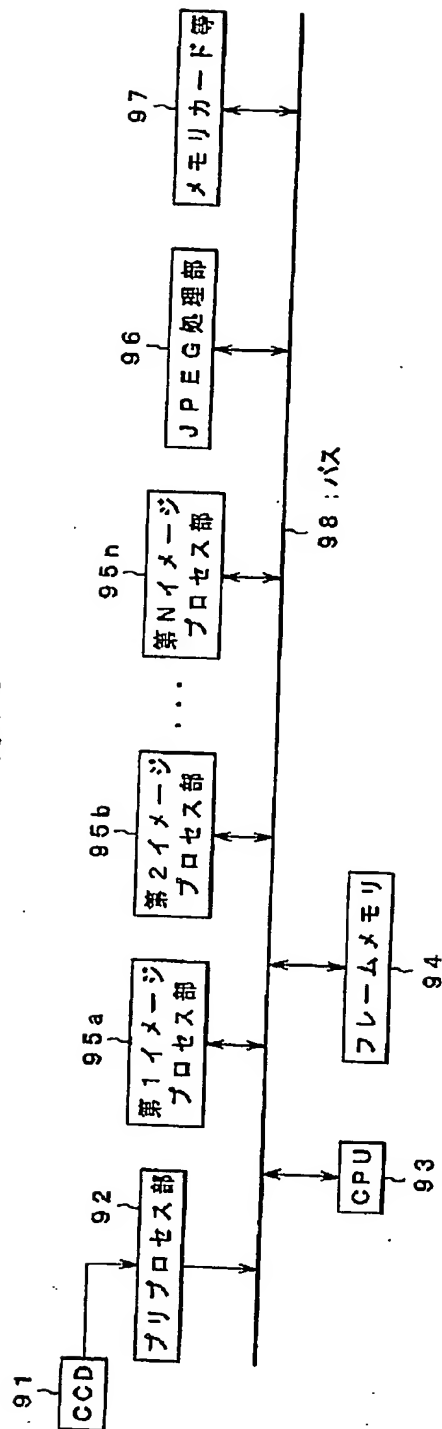
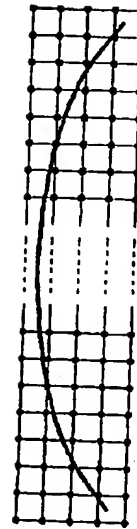


図 3 4



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007855

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06T1/20, G06T3/00, H04N1/393, H04N5/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06T1/20, G06T3/00, H04N1/393, H04N5/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2000-312327 A (Olympus Optical Co., Ltd.),	1-4
Y	07 November, 2000 (07.11.00),	5-20, 40, 44,
A	Full text; all drawings	48, 52
	(Family: none)	21-36
Y	JP 9-259264 A (Ricoh Co., Ltd.),	5-20, 39, 41,
	03 October, 1997 (03.10.97),	43, 45, 47, 49,
	Full text; all drawings	51, 53, 54, 55
	(Family: none)	
Y	JP 11-275391 A (Kyocera Corp.),	11, 12, 15, 16,
	08 October, 1999 (08.10.99),	19, 20, 37-55
	Full text; all drawings	
	(Family: none)	

☒ Further documents are listed in the continuation of Box C.☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 August, 2004 (18.08.04)Date of mailing of the international search report
07 September, 2004 (07.09.04)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007855

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 11-161773 A (Konica Corp.), 18 June, 1999 (18.06.99), Full text; all drawings (Family: none)	56-71 13-20, 37-55
A	JP 5-207351 A (Canon Inc.), 13 August, 1993 (13.08.93), Full text; all drawings (Family: none)	21-28

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2004/007855

Box No. II Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1. ☐ Claims Nos.:
because they relate to subject matter not required to be searched by this Authority, namely:
2. ☐ Claims Nos.:
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
3. ☐ Claims Nos.:
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

Box No. III Observations where unity of invention is lacking (Continuation of item 3 of first sheet)

This International Searching Authority found multiple inventions in this international application, as follows:

The technical feature of claims 1-4 relates to an image processing device for converting the sequence of the row direction and the column direction in the block unit. The technical feature of claims 5-36, 56-71 relates to correction of a distortion aberration. The technical feature of claims 37-55 relates to distortion correction processing and interpolation processing associated with enlargement/contraction processing. Thus, this international application substantially includes a plurality of inventions.

1. ☐ As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2. ☒ As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3. ☐ As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
4. ☐ No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

Remark on Protest

- ☐ The additional search fees were accompanied by the applicant's protest.
- ☐ No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ G06T 1/20, G06T 3/00, H04N 1/393, H04N 5/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ G06T 1/20, G06T 3/00, H04N 1/393, H04N 5/10

最小限資料以外の資料で調査を行った分野に含まれるもの

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	JP 2000-312327 A (オリンパス光学工業株式会社) 2000. 11. 07 (ファミリーなし) 全文、全図	1-4
Y		5-20, 40, 44, 48, 52
A		21-36

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの

「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの

「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)

「O」口頭による開示、使用、展示等に言及する文献

「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

18. 08. 2004

国際調査報告の発送日

07. 9. 2004

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

真木 健彦

5H

9569

電話番号 03-3581-1101 内線 3531

C (続き) 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y	JP 9-259264 A (株式会社リコー) 1997. 10. 03 (ファミリーなし) 全文、全図	5-20, 39, 41, 43, 45, 47, 49, 51, 53, 54, 55
Y	JP 11-275391 A (京セラ株式会社) 1999. 10. 08 (ファミリーなし) 全文、全図	11, 12, 15, 16, 19, 20, 37-55
X	JP 11-161773 A (コニカ株式会社) 1999. 06. 18 (ファミリーなし)	56-71
Y	全文、全図	13-20, 37-55
A	JP 5-207351 A (キヤノン株式会社) 1993. 08. 13 (ファミリーなし) 全文、全図	21-28

第Ⅱ欄 請求の範囲の一部の調査ができないときの意見 (第1ページの2の続き)

法第8条第3項 (PCT 17条(2)(a)) の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1. ☐ 請求の範囲 _____ は、この国際調査機関が調査をすることを要しない対象に係るものである。つまり、
2. ☐ 請求の範囲 _____ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3. ☐ 請求の範囲 _____ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

第Ⅲ欄 発明の単一性が欠如しているときの意見 (第1ページの3の続き)

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-4の技術的特徴はブロックを単位として行方向と列方向との順序を変換して画像処理を行う画像処理装置に関し、請求の範囲5-36, 56-71の技術的特徴は歪曲収差の補正に関し、請求の範囲37-55の技術的特徴は歪補正処理及び拡大縮小処理に係る補間処理に関するものであり、この国際出願には実質的に複数の発明が記載されている。

1. ☐ 出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2. ☒ 追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかった。
3. ☐ 出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかったので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4. ☐ 出願人が必要な追加調査手数料を期間内に納付しなかったので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

追加調査手数料の異議の申立てに関する注意

- ☐ 追加調査手数料の納付と共に出願人から異議申立てがあった。
☐ 追加調査手数料の納付と共に出願人から異議申立てがなかった。